

Gdańsk, dn. 20.01.2016 r.

dr inż. Bogdan Pankiewicz
Politechnika Gdańska
Wydział Elektroniki, Telekomunikacji i Informatyki
Katedra Systemów Mikroelektronicznych
ul. Narutowicza 11/12
80-233 Gdańsk
tel. 58 347 19 74
faks 58 347 23 78
e-mail: bpa@eti.pg.gda.pl

AUTOREFERAT

Wykształcenie, uzyskane stopnie i tytuły naukowe

- 1988 - 1993 Studia magisterskie na Wydziale Elektroniki Politechniki Gdańskiej, specjalność Układy Elektroniczne.
- 1993 Obrona pracy magisterskiej pod tytułem „Projektowanie i symulacje komputerowe transkonduktancyjnych wzmacniaczy CMOS oraz wybrane zastosowania w analogowych filtrach w zakresie częstotliwości 1 – 100MHz”.
- 29.10.2002r. Uzyskanie stopnia doktora w dziedzinie nauk technicznych w dyscyplinie elektronika po obronie pracy doktorskiej pt. „Analogowe filtry CMOS OTA-C czasu ciągłego realizowane w strukturach programowalnych”, Wydział Elektroniki, Telekomunikacji i Informatyki Politechniki Gdańskiej.

Doświadczenie zawodowe

- 1994 - 2002 Katedra Układów Elektronicznych, Wydział Elektroniki, Telekomunikacji i Informatyki, Politechnika Gdańska - stanowisko: asystent.
- 2002 – dzisiaj Katedra Systemów Mikroelektronicznych, Wydział Elektroniki, Telekomunikacji i Informatyki, Politechnika Gdańska - stanowisko: adiunkt.

Osiągnięcie naukowe habilitanta przedstawione do oceny:

Zbiór publikacji powiązanych tematycznie.

Tytuł osiągnięcia naukowego:

Wybrane problemy projektowania specjalizowanych bloków funkcjonalnych układów scalonych CMOS.

Lista publikacji powiązanych tematycznie

Do publikacji najnowszych z roku 2016 i 2017 przypisano współczynniki *Impact Factor* za rok 2015. Oświadczenia współautorów dotyczące indywidualnego wkładu w powstanie poszczególnych publikacji znajdują się w odrębnym załączniku.

Publikacje z listy JCR:

Lp.	Autorzy, tytuł publikacji, rok wydania, nazwa wydawnictwa, indywidualny wkład autora	Impact factor
JCR1	<p>S. Szczepański, B. Pankiewicz, S. Kozieł, „Programmable feedforward linearized CMOS OTA for fully differential continuous-time filter design”, International Journal of Circuit Theory and Application. - Vol. 38, iss. 9, 2010, str. 885-899.</p> <p>Indywidualny wkład autora:</p> <ul style="list-style-type: none"> - koncepcja cyfrowego przestrajania wartości transkonduktancji, - współudział w opracowaniu opisu matematycznego, - wykonanie symulacji oraz projektu wzmacniacza, - wykonanie projektu oraz symulacji filtra, - współudział w opracowaniu manuskryptu. <p><u>Procentowy wkład autora:</u> 30%.</p> <p>Liczba autorów: 3.</p>	1,759
JCR2	<p>S. Szczepański, M. Wójcikowski, B. Pankiewicz, M. Kłosowski, R. Żaglewski, „FPGA and ASIC implementation of the algorithm for traffic monitoring in urban areas”, Bull. Pol. Acad. Sci. Tech. Sci., vol. 59, iss. 2, 2011, str. 137-140.</p> <p>Indywidualny wkład autora:</p> <ul style="list-style-type: none"> - pomysł i realizacja sprzętowej realizacji transformacji perspektywy obrazu, - realizacja inteligentnych układów zasilających z interfejsem do modułów fotowoltaicznych, - udział w realizacji sprzętowej systemu w technice FPGA, - udział w wykonaniu projektu układu scalonego ASIC, - udział w weryfikacji projektu układu ASIC, - udział w realizacji sprzętowej systemu w układzie ASIC, - testy systemu przeprowadzone w środowisku miejskim. <p><u>Procentowy wkład autora:</u> 20%.</p> <p>Liczba autorów: 5.</p>	0,966
JCR3	<p>M. Wójcikowski, R. Żaglewski, B. Pankiewicz, M. Kłosowski, S. Szczepański, „Hardware-Software Implementation of a Sensor Network for City Traffic Monitoring Using the FPGA- and ASIC-Based Sensor Nodes”, Journal of Signal Processing Systems, 71(1), 2013, str. 57-73.</p> <p>Indywidualny wkład autora:</p> <ul style="list-style-type: none"> - opracowanie koncepcji realizacji sprzętowej transformacji geometrycznej obrazu, - współudział w realizacji sprzętowej systemu z wykorzystaniem układu FPGA, - współudział w projektowaniu układu ASIC, - współudział w weryfikacji układu ASIC, - współudział w realizacji sprzętowej systemu z wykorzystaniem układu ASIC, 	0,564

	<ul style="list-style-type: none"> - testy w terenie. <p><u>Procentowy wkład autora: 20%.</u></p> <p>Liczba autorów: 5.</p>	
JCR4	<p>B. Pankiewicz, S. Szczepański, M. Wójcikowski „Bulk linearized CMOS differential pair transistor for continuous-time OTA-C filter design”, Bull. Pol. Acad. Sci. Tech. Sci., Vol. 62, No. 1, March 2014, str. 77 - 84.</p> <p>Indywidualny wkład autora:</p> <ul style="list-style-type: none"> - współdziałal w przygotowaniu koncepcji wzmacniaczy OTA, - projekt i symulacje filtru z wykorzystaniem proponowanych OTA, - analiza matematyczna zaproponowanych stopni wejściowych wzmacniaczy OTA, - współdziałal w przygotowaniu manuskryptu. <p><u>Procentowy wkład autora: 40%.</u></p> <p>Liczba autorów: 3.</p>	0,914
JCR5	<p>S. Szczepanski, B. Pankiewicz, S. Koziel, M. Wojcikowski „Multiple output differential OTA with linearizing bulk-driven active-error feedback loop for continuous-time filter applications”, International Journal of Circuit Theory and Applications, vol. 43, iss. 11, str. 1671–1686, 2015.</p> <p>Indywidualny wkład autora:</p> <ul style="list-style-type: none"> - współdziałal w opracowaniu koncepcji wzmacniaczy, - współdziałal w analizie układu, - wykonanie symulacji komputerowych koncepcji układowej, - wykonanie projektu pełnego wzmacniacza OTA oraz jego symulacje komputerowe z użyciem oprogramowania SPICE, - projekt i symulacje filtru OTA-C. <p><u>Procentowy wkład autora: 25%.</u></p> <p>Liczba autorów: 4.</p>	1,179
JCR6	<p>B. Pankiewicz, „Multiple output CMOS current amplifier”, Bull. Pol. Acad. Sci. Tech. Sci., Vol. 64(2), 2016, str. 301-306.</p> <p>Indywidualny wkład autora:</p> <ul style="list-style-type: none"> - opracowanie koncepcji wzmacniacza/inwertera prądowego, - zaproponowanie metody zwielokrotniania wyjść prądowych, - wykonanie symulacji układu podstawowego wtórnika prądowego, - wykonanie projektu i symulacji wzmacniacza prądowego wielowyjściowego, - wykonanie projektu i symulacji przykładowego filtru bikwadratowego pracującego w trybie prądowym, - przygotowanie manuskryptu. <p><u>Procentowy wkład autora: 100%.</u></p> <p>Liczba autorów: 1.</p>	1,087
JCR7	<p>B. Pankiewicz, „Programmable Input Mode Instrumentation Amplifier Using Multiple Output Current Conveyors”, artykuł zaakceptowany do publikacji w Metrology and Measurement Systems, 1/2017.</p> <p>Indywidualny wkład autora:</p> <ul style="list-style-type: none"> - opracowanie koncepcji konwejera prądowego drugiej generacji z zastosowaniem wielowyjściowego wzmacniacza/inwertera prądowego, - opracowanie koncepcji wzmacniacza instrumentacyjnego z programowalnym trybem pracy wejścia i z wykorzystaniem zaproponowanego konwejera prądowego, 	1,140

	<ul style="list-style-type: none"> - wykonanie symulacji wzmacniacza instrumentacyjnego pracującego w trybie napięciowym i prądowym, - przygotowanie manuskryptu. <p><u>Procentowy wkład autora:</u> 100%.</p> <p>Liczba autorów: 1.</p>	
Sumaryczny Impact Factor:		7,609

Publikacje konferencyjne i inne:

Lp.	Autorzy, tytuł publikacji, rok wydania, nazwa wydawnictwa lub konferencji, indywidualny wkład autora	Indeksowane
K1	<p>B. Pankiewicz, M. Solecki, „Fifth-order low-pass CMOS OTA-C continuous-time filter with on-chip automatic tuning”, Proc. of the European Conference on Circuit Theory and Design 2003, ECCTD'03, str. 369-372, 1-4 September 2003, Cracow, Poland.</p> <p>Indywidualny wkład autora:</p> <ul style="list-style-type: none"> - opracowanie metody linearyzacji wzmacniacza transkonduktancyjnego, - wykonanie projektu wzmacniacza OTA, - wykonanie symulacji wzmacniacza OTA oraz filtru OTA-C, - wykonanie pomiarów i porównania z wartościami projektowymi, - przygotowanie manuskryptu. <p><u>Procentowy wkład autora:</u> 55%.</p> <p>Liczba autorów: 2.</p>	
K2	<p>B. Pankiewicz, M. Solecki, „Rezystor aktywny CMOS oraz jego zastosowanie do budowy wzmacniacza transkonduktancyjnego”, Zeszyty Naukowe Wydziału ETI PG 2004 nr 2, str. 851-857, II Konferencja Technologie Informacyjne, Gdańsk, maj 2004.</p> <p>Indywidualny wkład autora:</p> <ul style="list-style-type: none"> - opracowanie rezystora aktywnego MOS, - wykonanie projektu wzmacniacza OTA, - wykonanie symulacji wzmacniacza OTA oraz filtru OTA-C, - wykonanie pomiarów i porównania z wartościami projektowymi, - przygotowanie manuskryptu. <p><u>Procentowy wkład autora:</u> 55%.</p> <p>Liczba autorów: 2.</p>	
K3	<p>S. Szczepański, B. Pankiewicz, „Programowalny zlinearyzowany wejściowy stopień wzmacniacza transkonduktancyjnego CMOS”, Elektronika-Konstrukcje, Technologie, Zastosowania. - 2008, nr 11, str. 203-206.</p> <p>Indywidualny wkład autora:</p> <ul style="list-style-type: none"> - współdział w opracowaniu koncepcji linearyzacji charakterystyk przejściowych wzmacniacza, - współdział w analizie matematycznej stopnia wejściowego wzmacniacza transkonduktancyjnego, - wykonanie projektu i symulacji elektrycznych wzmacniacza OTA, - opracowanie metody cyfrowego przestrajania wartości transkonduktancji, - współdział w przygotowaniu manuskryptu.. <p><u>Procentowy wkład autora:</u> 45%.</p> <p>Liczba autorów: 2.</p>	<p>6 pkt. wg listy MNiSW z dnia 26.08.2008</p>

K4	<p>M. Kłosowski, B. Pankiewicz, M. Wójcikowski „Cyfrowy akcelerator wybranych modułów standardu kompresji wideo H264”, Przegląd Elektrotechniczny, nr 9, 2014, str. 54-57.</p> <p>Indywidualny wkład autora:</p> <ul style="list-style-type: none"> - udział w projektowaniu systemu w układzie ASIC, - wybór bibliotek i generacja bloków pamięci, - rozmieszczanie bloków, trasowanie połączeń oraz rozwiązanie problemów z regułami projektowymi, - optymalizacja układu pod względem SI. <p><u>Procentowy wkład autora:</u> 15%.</p> <p>Liczba autorów: 3.</p>	<p>10 pkt. wg listy B MNiSW z dnia 31.12.2014</p>
K5	<p>M. Kłosowski, B. Pankiewicz, M. Wójcikowski „Akcelerator transformacji DCT do kompresji obrazu w sensorach wizyjnych”, Przegląd Elektrotechniczny, nr 9, 2015, str. 97-100.</p> <p>Indywidualny wkład autora:</p> <ul style="list-style-type: none"> - udział w projektowaniu systemu w układzie ASIC, - wybór bibliotek i generacja bloków pamięci, - rozmieszczanie bloków, trasowanie połączeń oraz rozwiązanie problemów z regułami projektowymi, - optymalizacja układu pod względem SI. <p><u>Procentowy wkład autora:</u> 15%.</p> <p>Liczba autorów: 3.</p>	<p>14 pkt. wg listy B MNiSW z dnia 23.12.2015</p>

2.1. Wprowadzenie do tematyki badań habilitanta

Habilitant jest adiunktem w Katedrze Systemów Mikroelektronicznych Wydziału Elektroniki, Telekomunikacji i Informatyki Politechniki Gdańskiej. Niniejszy autoreferat jest podsumowaniem oryginalnego dorobku autora - habilitanta opracowanego w głównym nurcie jego działań badawczych dotyczących analogowych i cyfrowych układów scalonych CMOS (ang. Complementary Metal Oxide Semiconductor). Autor w 2002 roku obronił rozprawę doktorską (w dyscyplinie elektronika) pt. „Analogowe filtry CMOS OTA-C czasu ciągłego realizowane w strukturach programowalnych” oraz brał czynny udział w projektach dotyczących projektowania analogowych i analogowych programowalnych układów scalonych [G1], [G2], [G3] oraz cyfrowych układów scalonych [G4], [G5], [G6], [G7] realizowanych w technologiach scalonych CMOS.

Udział w wymienionych projektach pozwala na wyodrębnienie znaczącego, autorskiego, indywidualnego wkładu w rozwój dyscypliny elektronika w zakresie badań dotyczących mikroelektronicznych układów i systemów scalonych. Niniejszy autoreferat opisuje tematycznie powiązany cykl artykułów opublikowanych na przestrzeni ostatnich lat, które świadczą o znacznym wkładzie naukowym autora w reprezentowaną dyscyplinę nauk technicznych – elektronikę. Publikacje te opisują badania dotyczące specjalizowanych bloków funkcjonalnych układów scalonych CMOS, zarówno analogowych jak i cyfrowych.

Trendy obecne w przemyśle elektronicznym od początku jego istnienia są niezmiennie a główne kierunki to zmniejszenie wymiarów i masy urządzeń, zmniejszanie poboru mocy, zwiększenie możliwości użytkowych i parametrów przy jednoczesnym obniżaniu kosztów produkcji [B1]. Pogodzenie ze sobą tych, często sprzecznych trendów, umożliwia postęp technologiczny produkcji układów scalonych. Dzięki ciągle zwiększającej się skali integracji, w szczególności w technologii produkcji CMOS, coraz bardziej widoczne są na rynku rozwiązania układowe typu SoC (ang. System on Chip). Tego rodzaju układy scalone w swoim wnętrzu zawierają pełen system elektroniczny realizujący dane zadanie. Właśnie dla

tego rodzaju układów scalonych bardzo istotna jest dostępność analogowych i cyfrowych specjalizowanych bloków funkcjonalnych CMOS, które mają możliwość programowania ich konfiguracji i parametrów oraz oferujących prawidłową pracę przy względnie niskich napięciach zasilania. Początkowo jako układy SoC zaczęto traktować rozbudowane mikrokontrolery zawierające zwiększoną ilość pamięci RAM (ang. Random Access Memory) oraz Flash oraz rozbudowane układy interfejsów komunikacyjnych takich jak np. bloki: SPI (ang. Serial Peripheral Interface), UART (ang. Universal Asynchronous Receiver and Transmitter), Ethernet, USB (ang. Universal Serial Bus), CAN (ang. Controller Area Network), bloki kontrolerów zewnętrznych pamięci SRAM (ang. Static Random Access Memory) i DRAM (ang. Dynamic Random Access Memory) jak też przetworniki analogowo-cyfrowe i cyfrowo-analogowe wraz z multiplexerami sygnałów analogowych czy też zawierające dodatkowe bloki przetwarzania jak np. układy graficzne. Przykładami takich rozwiązań mogą być np. układy firmy Qualcomm z serii Snapdragon przystosowane pod zastosowania w smartfonach a zawierające jeden lub więcej rdzeni mikroprocesora z firmy ARM oraz układ procesora graficznego [I1]. Obecnie coraz częściej dostępne są układy rozbudowanych mikrokontrolerów wzbogacone o cyfrowe układy programowalne lub też jak częściej jest to przedstawiane w materiałach reklamowych programowalne układy cyfrowe ze sprzętowymi blokami mikroprocesorów. Przykładami takich rozwiązań są np. układy serii Zynq-7000 firmy Xilinx [I2] lub Arria 10 firmy Altera [I3]. W przypadku układów Zynq-700 są to układy programowalne FPGA (ang. Field Programmable Gate Array) zawierające od 430k do 6,6M przeliczeniowych programowalnych bramek logicznych, dwurdzeniowy procesor firmy ARM z rdzeniem typu A9 oraz szereg dodatkowych bloków cyfrowych takich jak np.: bloki pamięci RAM, bloki DSP (ang. Digital Signal Processing), nadajniki/odbiorniki szybkiej transmisji szeregowej oraz przetworniki analogowo-cyfrowe. Same układy programowalne FPGA o dużej liczbie bramek przeliczeniowych też można nazwać układami typu SoC gdyż w ich strukturę można wprogramować niezbędną funkcjonalność układu procesora (tzw. procesor programowy, ang. soft processor) i bloki peryferyjne. Układy SoC zawierające programowalne układy cyfrowe często nazywa się także układami Programowalnymi SoC (ang. Programmable System on Chip).

Niestety, przedstawione powyżej układy scalone mogą operować swobodnie wyłącznie w dziedzinie sygnałów cyfrowych oraz w bardzo ograniczonym zakresie na sygnałach analogowych. Działanie na sygnałach analogowych sprowadza się zazwyczaj wyłącznie do możliwości konwersji analogowo-cyfrowej i cyfrowo-analogowej. Z tego względu prowadzone były i są badania nad analogowymi układami programowalnymi, które można by było zintegrować z układem cyfrowym i w ten sposób stworzyć uniwersalny układ analogowo - cyfrowy. W literaturze można znaleźć liczne przykłady projektów i badań nad tak zwanymi programowalnymi matrycami analogowymi FPAA (ang. Field Programmable Analog Array) oraz komponentami programowalnymi wchodzącymi w ich skład [A1], [A2], [A3], [A4], [A5], [A6], [A7]. Analogowe układy programowalne doczekały się jednak bardzo nielicznych wdrożeń do produkcji komercyjnej. Pierwszym znaczącym był układ firmy Motorola MPAA020, który został przejęty i rozwinięty przez firmę Anadigm jako układ o symbolu AN10E40 [A2]. Był to układ pracujący w technice przełączanych pojemności zawierający 20 bloków programowalnych o dość dużych możliwościach konfiguracyjnych. Niestety układ nie przyjął się na rynku i obecnie nie jest dostępny w sprzedaży. Innym przykładem komercyjnego układu zawierającego programowalne układy analogowe jest rodzina SmartFusion SoC FPGA firmy Microsemi. Układy rodziny SmartFusion SoC FPGA składają się z 3 podstawowych części: podbloku mikrokontrolera (ARM Cortex M3), podbloku cyfrowego układu programowalnego typu FPGA (60k – 500k bramek przeliczeniowych w zależności od wersji) oraz analogowego podbloku programowalnego [I4]. Funkcjonalność i programowalność bloków analogowych w układach SmartFusion jest nieduża i dostosowana

głównie do przygotowywania sygnałów dostarczanych do przetworników analogowo – cyfrowych. Niestety układy tej rodziny również nie przyjęły się szeroko na rynku.

Firma Cypress jest producentem układów z rodziny PSoC5LP, które odniosły sukces rynkowy i są pierwszym, jeszcze może nie do końca pełnym, ale jednak analogowo - cyfrowym układem programowalnym typu SoC [I5]. Możliwości obliczeniowe części cyfrowej oraz przetwarzania sygnałów analogowych należą raczej do kategorii umiarkowanej, jednak fakt, że scalone zostały one w pojedynczym układzie i są stosowane w wielu projektach przemysłowych predestynuje rodzinę PSoC5LP do miana pionierskiej. Układy te zawierają między innymi mikrokontroler z rdzeniem ARM Cortex M3, złożony programowalny układ cyfrowy typu CPLD (ang. Complex Programmable Logic Device) oraz programowalny podsystem analogowy. Podsystem analogowy zawiera między innymi szereg przetworników analogowo cyfrowych i cyfrowo analogowych, wzmacniacze operacyjne, wzmacniacze napięciowe o programowanym wzmocnieniu, mikser oraz wzmacniacze transimpedancyjne.

Ciągły postęp technologiczny w produkcji układów scalonych CMOS polegający na większym upakowaniu elementów wymusza zmniejszenie napięcia zasilającego układy [B1], [B2], [B3], [B5], [B6]. Stanowi to z jednej strony korzyść w postaci zmniejszonych mocy wydzielanych w układzie scalonym ale z drugiej strony powoduje szereg zjawisk niekorzystnych, w szczególności trudnych do przewyższenia w układach analogowych, a są to przede wszystkim:

- niskie napięcie zasilające wymusza zmniejszenie możliwego zakresu sygnałów przetwarzanych wewnątrz układu scalonego, są one zawsze ograniczone poziomem masy i napięcia zasilającego,
- niskie napięcie zasilające powoduje problem w umieszczaniu dużej liczby tranzystorów w ciągu od masy do napięcia zasilającego, takie umieszczanie elementów umożliwia zwiększenie rezystancji wyjściowej zespołu tranzystorów w stosunku do pojedynczego tranzystora co daje lepsze parametry układów analogowych (większe wzmocnienie, lepsza powtarzalność prądów luster prądowych, ...) jak również umożliwia stosowanie wielu technik poprawiania liniowości charakterystyk przejściowych wzmacniaczy [A8], [A9],
- ze względu na znaczące rozrzuty względne parametrów, małe wymiary elementów w technologiach niskoskalowanych nie mogą być zastosowane w podukładach analogowych, rozrzuty są wprost proporcjonalne do odwrotności pierwiastka powierzchni elementu [A10], innym z powodów nie stosowania minimalnych wymiarów tranzystorów MOS w blokach analogowych jest degradacja ich parametrów np. rezystancji wyjściowej w zakresie nasycenia,
- ponieważ małe wymiary elementów nie są praktyczne dla układów analogowych ich upakowanie dla niskoskalowanych technologii nie wzrasta tak jak dla układów cyfrowych,
- niskie napięcie zasilające to również zmniejszenie wartości napięcia sterującego tranzystorem MOS (ang. overdrive voltage) będącego różnicą między napięciem bramka - źródło tranzystora a jego napięciem progowym ($V_{GS} - V_{TH}$), niska wartość tego napięcia skutkuje zarówno w pogorszeniu powtarzalności prądów [A10] jak i zmniejszeniu pasma układu (bo niskie napięcie sterujące wymusza zwiększenie wymiaru tranzystora dla uzyskania odpowiedniego prądu a więc dany element będzie miał większą pojemność).

Te niedogodności są tematem ciągłych badań i poszukiwań rozwiązań układowych niwelujących niekorzystne zjawiska związane z nowoczesnymi technologiami produkcji układów scalonych CMOS. Habilitant w swoich pracach badawczych skupił się na wybranych problemach projektowania specjalizowanych bloków funkcjonalnych układów

scalonych CMOS w szczególności uwzględniając możliwości ich późniejszego zastosowania w programowalnym systemie mikroelektronicznym. Z tego względu główny nacisk jest umieszczony w obszarach:

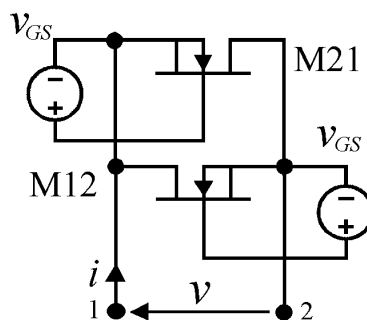
- prace badawcze nad linearyzacją charakterystyk przejściowych wzmacniaczy transkonduktancyjnych lub ich stopni wejściowych [JCR1], [JCR4], [JCR5], [K1], [K2], [K3],
- prace badawcze nad programowalnością wartości transkonduktancji wzmacniaczy OTA (ang. Operational Transconductance Amplifier) oraz programowalnością konfiguracji pracy stopnia wejściowego wzmacniaczy [JCR1], [JCR7], [K3].
- prace badawcze nad wzmacniaczami zasilanymi niskimi napięciami [JCR6],
- prace nad cyfrową częścią programowalnych układów analogowych tj. projektowanie cyfrowych układów scalonych w technice komórek standardowych do wykorzystania w analogowo-cyfrowym układzie scalonym CMOS [JCR2], [JCR3], [K4], [K5].

2.2. Prace badawcze nad linearyzacją charakterystyk wzmacniaczy transkonduktancyjnych

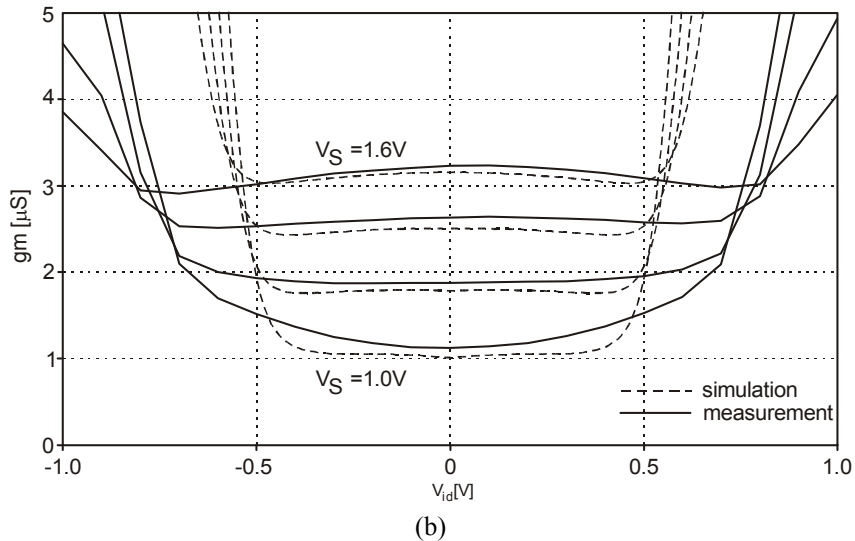
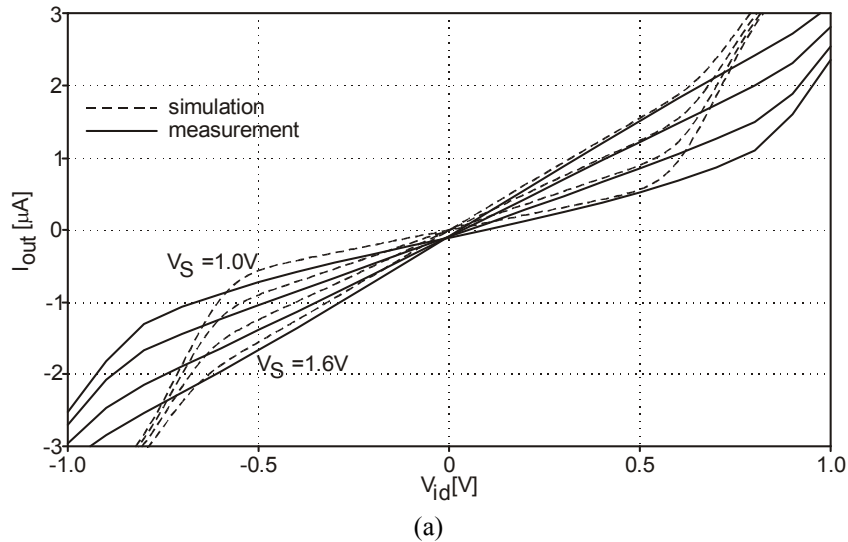
Linearyzacja charakterystyk przejściowych jest szczególnie ważna dla wzmacniaczy pracujących w konfiguracjach bez ujemnego sprzężenia zwrotnego. Przykładem takiego układu jest wzmacniacz transkonduktancyjny [A8], [A9].

2.2.1. Aktywny rezystor linearyzujący

Jedną z dobrze znanych metod linearyzacji przejściowych charakterystyk stałoprądowych jest umieszczenie w źródłach pary różnicowej rezystora, który stanowi lokalne, prądowo - szeregowo ujemne sprzężenie zwrotne [B3]. W układach scalonych rezystor jest elementem zajmującym znaczną powierzchnię, posiadającym znaczne pojemności pasożytne oraz w zależności od użytej warstwy do jego realizacji, mogącym być elementem nieliniowym. Z tego względu w miejsce rezystorów zrealizowanych klasycznie, ze ścieżek materiałów przewodzących, często stosuje się ich aktywne odpowiedniki. W publikacji [K2] habilitant przedstawia opracowany rezystor aktywny, jego zastosowanie do linearyzacji charakterystyk przejściowych wzmacniacza OTA natomiast w [K1] zastosowanie opracowanego wzmacniacza w finalnej aplikacji filtru typu OTA-C. Koncepcja oparta jest na wykorzystaniu tranzystora MOS z zakresie omowym jak w [B4] jednak w przedstawionym poniżej układzie zmodyfikowanego sposób polaryzacji tranzystorów. Różnicowy rezystor aktywny zbudowany jest z dwóch tranzystorów MOS połączonych równolegle oraz dwóch źródeł polaryzujących bramki. Jego schemat przedstawiono na rys. 1.



Rys. 1. Różnicowy, aktywny rezystor MOS, [K1], [K2].



Rys. 2. Charakterystyki przejściowe wzmacniacza transkonduktancyjnego zaprojektowanego z wykorzystaniem rezystora z rys. 1, napięcie V_S w sposób pośredni steruje wartością napięcia v_{GS} dostarczanego do rezystora linearyzującego, (a) prąd wyjściowy płynący przez zwarte wyprowadzenia wzmacniacza $i_{OUT}=f(v_{id})$, (b) transkonduktancja $gm = \partial i_{OUT} / \partial v_{id} = f(v_{id})$, [K1], [K2].

Stosując standardowy opis kwadratowy charakterystyk tranzystorów MOS, analiza układu z rys. 1 wykazuje [K2], że jeśli spełniona jest nierówność:

$$2(v_{GS} - V_{T0n}) \gg \gamma\sqrt{\phi} - \gamma\sqrt{\phi - v} \quad (1)$$

wówczas pomiędzy węzłami **1** oraz **2** widziana jest liniowa rezystancja o wartości:

$$r = \frac{1}{4K(v_{GS} - V_{T0n})} \quad (2)$$

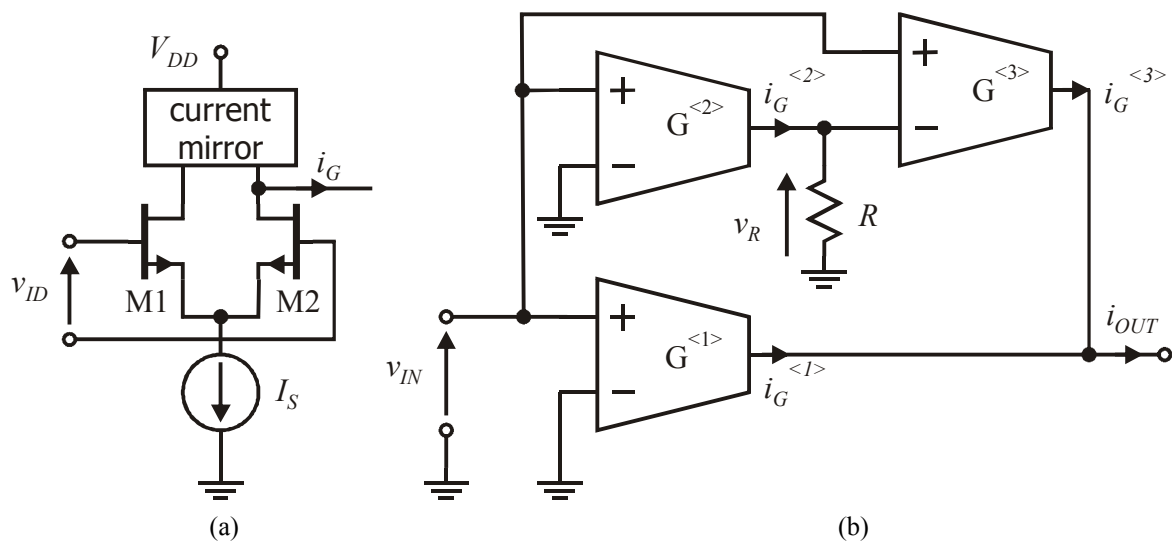
gdzie: $K=0.5\mu_n C_{OX}W/L$, W i L są odpowiednio szerokością i długością identycznych kanałów tranzystorów M12 i M21, μ_n jest ruchliwością nośników w kanale, C_{OX} jest gęstością powierzchniową pojemności bramki, V_{T0n} jest napięciem progowym tranzystorów dla

zerowego napięcia podłoże-źródło, γ jest parametrem podłożowym natomiast ϕ jest potencjałem powierzchniowym. Aby zapewnić niskie wartości prądów podłożowych napięcie v powinno być ograniczone do zakresu około $\pm 0.5V$. Ze względu na to, że wartość parametru podłożowego γ jest rzędu 0,3, potencjału podłożowego ϕ rzędu 0,7V oraz z powodu na ograniczenie napięcia v można przyjąć, że nierówność (1) jest spełniona a rezystor jest w przybliżeniu liniowy.

Rezystor z rys. 1 został zastosowany jako element linearyzujący parę różnicową w projekcie wzmacniacza transkonduktancyjnego [K2], który został następnie wykorzystany w budowie filtra czasu ciągłego OTA-C [K1]. Zarówno wzmacniacz jak i filtr zostały wykonane fizycznie w postaci układu scalonego ASIC w technologii $0.8\mu m$ CYE AMS CMOS. Wyniki pomiarów stałoprądowych charakterystyk przejściowych wzmacniacza transkonduktancyjnego przedstawione są na rys. 2.

2.2.2. Linearyzacja z wykorzystaniem sprzężenia w przód

Inną metodą linearyzacji charakterystyk przejściowych wzmacniaczy OTA jest możliwość wykorzystania sprzężenia w przód. W publikacji [JCR1], zaproponowano takie rozwiązanie z wykorzystaniem 3 wzmacniaczy OTA oraz rezystora. Schemat układu przedstawiono na rys. 3.



Rys. 3. Zlinearyzowany wzmacniacz transkonduktancyjny ze sprzężeniem w przód, (a) para różnicowa jako prosty wzmacniacz OTA, (b) wykorzystana w układzie linearyzującym charakterystyki przejściowe, [JCR1].

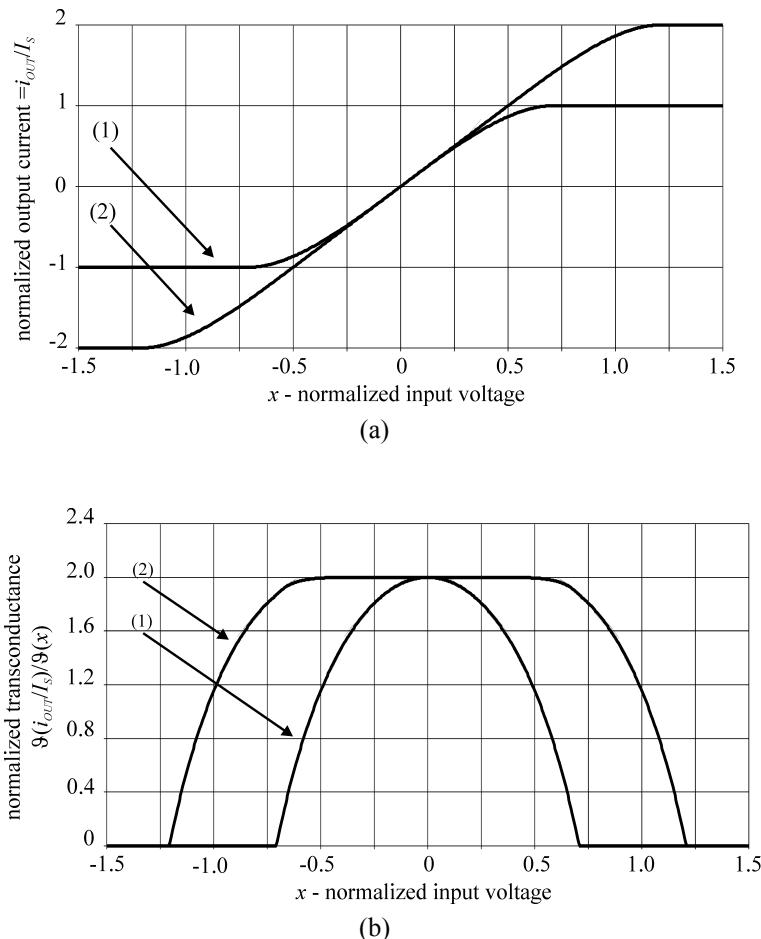
Analiza układu z rys. 3(b), zakładając że podstawowymi wzmacniaczami transkonduktancyjnymi są pary różnicowe CMOS, daje całkowitą linearyzację charakterystyki przejściowej $i_{OUT} = f(V_{IN})$ o ile tylko żaden ze wzmacniaczy $G^{<1>}$ - $G^{<3>}$ nie wejdzie w nasycenie oraz jeśli spełniony jest warunek, iż transkonduktancja małosygnałowa wzmacniaczy G jest o wartości dokładnie równej odwrotności rezystancji R , [JCR1]. Dla pary różnicowej z rys. 3(a) zakres napięcia wejściowego ograniczający przed nasyceniem wyrażony jest nierównością:

$$v_{IN} \leq \sqrt{2} \sqrt{\frac{I_S}{K}} = V_{INMAX} \quad (3)$$

gdzie: $K=0.5\mu_n C_{OX}W/L$, W i L są odpowiednio szerokością i długością identycznych kanałów tranzystorów M1 i M2, μ_n jest ruchliwością nośników w kanale, C_{OX} jest gęstością powierzchniową pojemności bramki. Dla napięć poza zakresem (3) charakterystyka zlinearyzowanego wzmacniacza z rys. 3(b) przypomina typowe charakterystyki pary różnicowej CMOS. Na rys. 4 przedstawiono znormalizowane charakterystyki przejściowe zarówno pary różnicowej jak i wzmacniacza zlinearyzowanego. Normalizacja prądu wyjściowego wykonana jest w stosunku do prądu polaryzującego I_S natomiast normalizacja napięcia wejściowego przeprowadzona jest wg wzoru:

$$x = \frac{v_{IN}}{2(V_{GS} - V_T)} = \frac{1}{\sqrt{2}} \frac{v_{IN}}{V_{INMAX}} \quad (4)$$

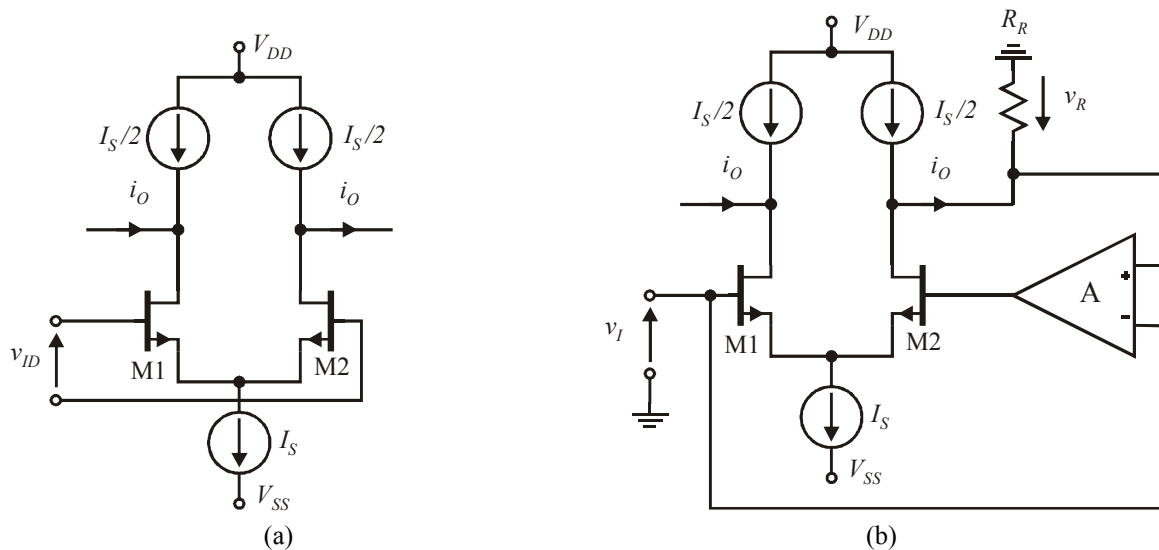
gdzie: V_{GS} jest stałym napięciem bramki – źródło ustalonym w punkcie pracy przy zerowym napięciu wejściowym oraz V_T jest napięciem progowym tranzystorów M1 i M2. Ze wzoru (4) wynika, że nasycenie pary różnicowej występuje dla $x = 0,707$ a dla napięć mniejszych niż 0,707 następuje całkowita linearyzacja charakterystyki przejściowej $i_{OUT}=f(V_{IN})$ wzmacniacza z rys. 3(b).



Rys. 4. Teoretyczne charakterystyki przejściowe (a) dla pary różnicowej (1) i wzmacniacza zlinearyzowanego (2) oraz ich pochodna będąca transkonduktancją wzmacniacza, [JCR1].

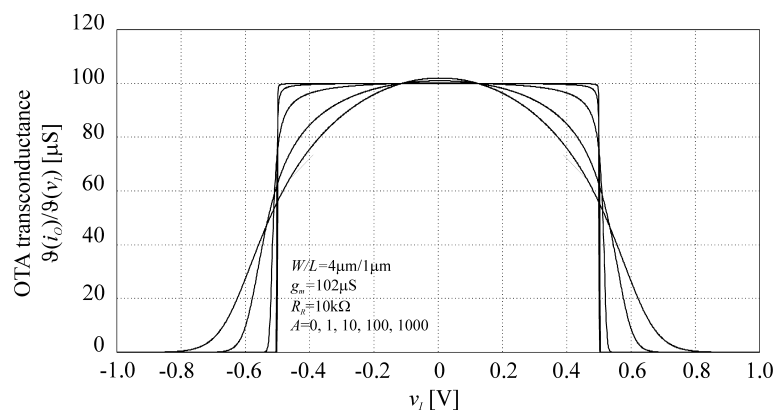
Pełny schemat przykładowego zlinearyzowanego stopnia wejściowego wzmacniacza OTA przedstawiono na rys. 5. Stopień ten zaprojektowano dla technologii AMS CMOS 0,35 μ m. Rezystory wykonano z warstwy polikrzemu o zwiększonej rezystancji. Tranzystory M1, M2

przy doborze wartości A należy wybrać pewien kompromis, gdyż z jednej strony większe wzmocnienie A daje lepszą liniowość charakterystyk przejściowych lecz równocześnie z drugiej strony powoduje pogorszenie charakterystyk częstotliwościowych. Dzieje się tak z powodów praktycznych gdyż rzeczywiste wzmacniacze operacyjne realizujące wyższe wzmocnienia mają niższe pasma częstotliwościowe. W publikacji [K3] przedstawione są przesłanki jakimi powinien się kierować projektant dokonując wyboru odpowiedniego wzmacniacza A .

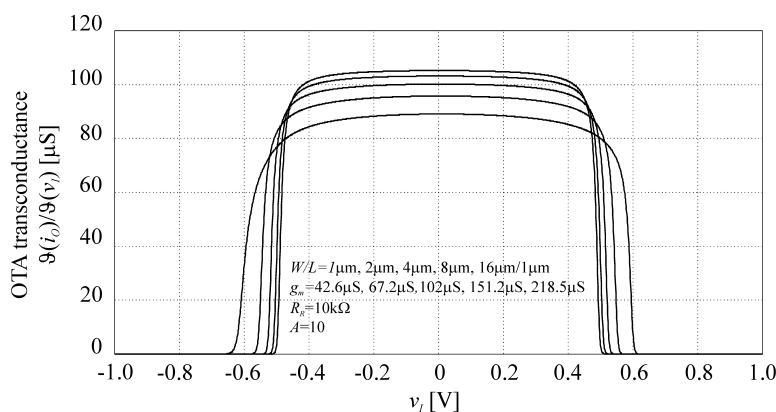


Rys. 7. Para różnicowa MOS (a) oraz zaproponowana metoda jej linearyzacji z użyciem ujemnego sprzężenia zwrotnego (b), [K3].

W celu praktycznej weryfikacji zaproponowanego stopnia wejściowego wzmacniacza transkonduktancyjnego wykonano szereg symulacji przy użyciu pakietu PSPICE i modeli tranzystorów MOS dla technologii AMS $0,35\mu\text{m}$. Na rys. 8 i 9 przedstawiono wybrane wyniki symulacji. Jako par MOS użyto zestawów tranzystorów o wymiarach $1\mu\text{m}/1\mu\text{m}$, $2\mu\text{m}/1\mu\text{m}$, $4\mu\text{m}/1\mu\text{m}$, $8\mu\text{m}/1\mu\text{m}$ oraz $16\mu\text{m}/1\mu\text{m}$. Wzmacniacz A został zamodelowany jako idealne źródło napięciowe sterowane napięciem, prąd polaryzujący został ustalony na $I_S=100\mu\text{A}$. Symulacje potwierdzają przedstawione powyżej rozważania teoretyczne. Warto zwrócić uwagę na fakt, iż dla $g_m \cong 1/R_R$ wzmocnienie A rzędu $100[\text{V/V}]$ daje wyśmienite efekty linearyzacyjne. Stąd można wysunąć wniosek, iż jednostopniowy wzmacniacz operacyjny (czyli o prostej budowie i szerokim paśmie) jest w stanie zapewnić wystarczającą wartość wzmocnienia. Podobnie, manipulacja kondensatorem C_R umieszczonym równolegle do rezystora R_R umożliwi zmianę charakterystyki częstotliwościowej i kompensację ewentualnego, kolejnego stopnia wzmacniającego w postaci luster prądowych.

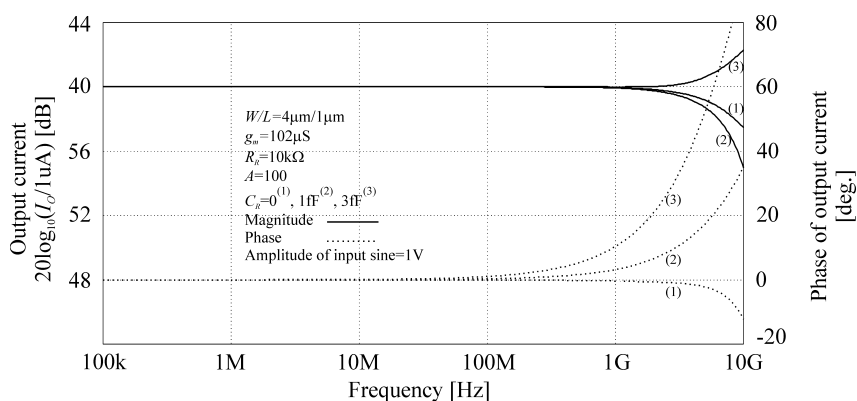


(a)



(b)

Rys. 8. Wynik symulacji stałoprądowej stopnia wejściowego wzmacniacza z rys. 7(b) dla 5 różnych wartości wzmocnienia wzmacniacza operacyjnego A (a) oraz dla 5 różnych wymiarów tranzystorów pary różnicowej MOS (b) [K3].



Rys. 9. Wyniki symulacji częstotliwościowej stopnia wejściowego wzmacniacza z rys. 1(b) dla 3 wartości dodatkowego kondensatora C_R dołączonego równoległe do rezystora R_R , [K3].

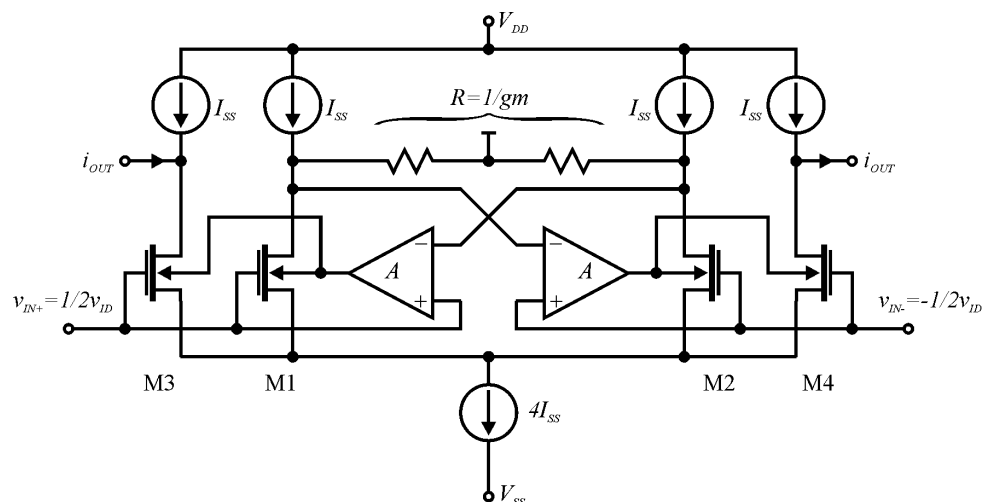
2.2.4. Linearyzacja z wykorzystaniem ujemnego sprzężenia zwrotnego – sygnał zwrotny podany na podłoża pary różnicowej

Wyprowadzenia podłoża tranzystorów MOS w strukturze układów scalonych są zazwyczaj podłączane do najniższego potencjału dla tranzystorów NMOS i najwyższego potencjału dla tranzystorów PMOS. Jednak tranzystory umieszczane na wyspach nie muszą mieć takiego połączenia i wyprowadzenie wyspy można wykorzystać jako dodatkowy terminal tranzystora. Taki element musi być wykonany na osobnej wyspie co nieco zwiększa

zajmowaną powierzchnię, jednak dla układów analogowych nie jest to parametr krytyczny. Pierwsze próby wykorzystania wyprowadzenia podłoża jako wejścia wzmacniacza transkonduktancyjnego sięgają roku 1987 [A11]. Wartość transkonduktancji widziana z wyprowadzeń podłoża jest kilkukrotnie niższa niż z wyprowadzenia bramki. Bezpośrednie użycie tego wyprowadzenia jako wejścia daje więc niższą transkonduktancję niż w przypadku wykorzystania wyprowadzenia bramki. Wyprowadzenia bramki i podłoża można wykorzystać jednocześnie i jako wejście sygnału zastosować bramkę a podłoże użyć do korekcji charakterystyki przejściowej. Ten pomysł został przedstawiony w publikacji [JCR5] oraz na jego podstawie uzyskano patent krajowy [PAT1]. Schemat blokowy wzmacniacza przedstawiono na rys. 10. Składa się on z dwóch identycznych par różnicowych M1, M2 oraz M3, M4, rezystora o sumarycznej rezystancji równej odwrotności transkonduktancji małosygnalowej par różnicowych oraz dwóch wzmacniaczy napięciowych A. Sygnał sprzężenia zwrotnego podawany jest do wyprowadzeń podłoży par różnicowych. Para różnicowa M1, M2 objęta jest sprzężeniem zwrotnym natomiast identyczna para różnicowa M3, M4 połączona swoimi wejściami tak jak para objęta sprzężeniem zwrotnym będzie w pierwszym przybliżeniu miała takie same prądy wyjściowe jak para objęta sprzężeniem. Pętle sprzężenia zwrotnego przenoszą wartość napięcia wejściowego na obciążenie R . Jeśli więc wzmocnienie A jest bardzo duże wówczas napięcie na rezystorze R jest identyczne jak napięcie na wejściu, prąd płynący przez rezystor będzie identyczny jak prąd wyjściowy a układ będzie całkowicie liniowy o transkonduktancji równej:

$$\frac{i_{OUT}}{v_{ID}} = g_m = \frac{1}{R} \quad (7)$$

gdzie: v_{ID} jest wejściowym napięciem różnicowym a R rezystancją rezystora użytego do budowy wzmacniacza. W przedstawionej koncepcji rezystor obciążający ma wartość równą odwrotności transkonduktancji, w ogólności, przy dostatecznie dużym wzmocnieniu A nie jest to potrzebne, jednak przyjęcie takiej wartości rezystancji znacząco zmniejsza wymagania na wartość wzmocnienia A i już od wzmocnień równych 30[V/V] uzyskiwana linearyzacja jest bardzo znacząca.



Rys. 10. Schemat blokowy wzmacniacza transkonduktancyjnego z linearyzującym sprzężeniem zwrotnym podanym do wyprowadzeń podłoży tranzystorów MOS, [JCR5], [PAT1].

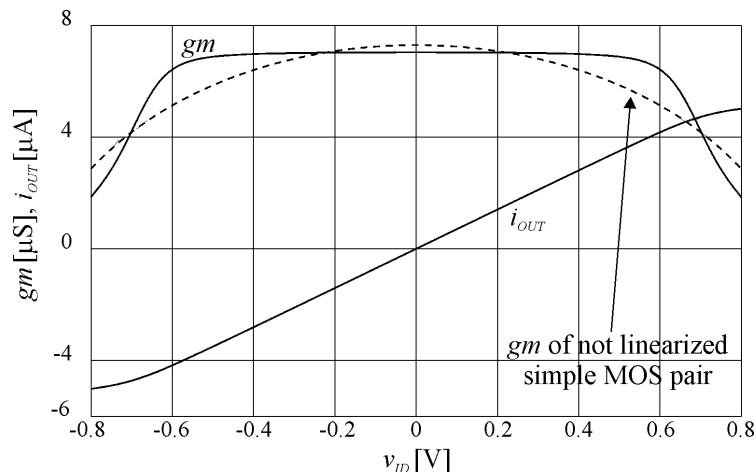
Tab. 1. Porównanie najważniejszych parametrów pary różnicowej MOS i wzmacniacza zlinearyzowanego z rys. 10, gdzie $k = 1,38e-23$ [J/K] jest stałą Boltzmana, T temperaturą bezwzględną, $a = \gamma_n / (2\sqrt{P_{HI} + V_{S0} - V_{CM}})$ jest względnym współczynnikiem zmniejszenia transkonduktancji bramkowej w stosunku do podłożowej [JCR5], $F=1+aA$ jest różnicą zwrotną pętli sprzężenia zwrotnego a pozostałe symbole jak dla typowego opisu tranzystorów MOS, [JCR5].

Parameter description	MOS pair transconductor	Linearized transconductor
Current consumption	$2I_{SS}$	$4I_{SS}$
Linear region of input voltage calculated for 1% transconductance degradation	$0.11\sqrt{2}\sqrt{I_{SS}/K}$	assuming $A \rightarrow \infty$ $\sqrt{2}\sqrt{I_{SS}/K}$ in practice for $A = 30$ $\approx 0.65\sqrt{2}\sqrt{I_{SS}/K}$
Tuneability	small	none
Amplitude of input harmonic signal for THD=1%	$0.4\sqrt{2}\sqrt{I_{SS}/K}$	$0.4\sqrt{F}\sqrt{2}\sqrt{I_{SS}/K}$
Input referred power spectral density of noise assuming short circuit at the output [V ² /Hz]	$\frac{kT}{\sqrt{I_{SS}K}} \frac{8}{3}(1+a)$	for $A = 0$ the same as of MOS pair, for $A \rightarrow \infty$: $\frac{kT}{\sqrt{I_{SS}K}} \left[\frac{16}{3}(1+a) + 2 \right]$
Dynamic range in the Δf band	$\frac{0.4}{\sqrt{\Delta f}} \frac{I_{SS}^{3/4}}{K^{1/4}} \frac{1}{\sqrt{kT \frac{8}{3}(1+a)}}$	$\frac{0.4}{\sqrt{\Delta f}} \frac{I_{SS}^{3/4}}{K^{1/4}} \frac{\sqrt{F}}{\sqrt{kT \left[\frac{16}{3}(1+a) + 2 \right]}}$
Devices count:		
MOS devices	2	4
Current sources	3	5
Resistors	0	2
Amplifiers	0	2

W tabeli 1 przedstawiono porównanie najważniejszych parametrów zwykłej pary różnicowej i zlinearyzowanego wzmacniacza z rys. 10. Jako główny wniosek można zaobserwować przesunięcie zakresu przetwarzanych sygnałów do wyższych wartości przy zachowaniu podobnego poziomu zakresu dynamiki. Bardzo ważną właściwością wzmacniacza jest również to, że można do niego dołączyć dowolną liczbę par zlinearyzowanych takich jak para M3, M4 i w ten sposób łatwo uzyskać wzmacniacz wielowyjściowy. W praktyce, ze względu na dokładność wykonania elementów w strukturach scalonych, wzmacniacze A z rys. 10 muszą zostać zamienione na układ wzmacniający odporny na sygnały wspólne, w przeciwnym wypadku nastąpi nasycenie pętli sprzężenia zwrotnego a linearyzacja nie będzie możliwa. Przykład pełnego projektu wzmacniacza wykorzystującego powyżej przedstawioną zasadę działania zaprezentowano na rys. 12 a wzmacniacz sprzężenia zwrotnego A na rys. 11. Projekt ten został przygotowany dla technologii CMOS AMS 0,35 μ m typu NWELL stąd tylko tranzystory PMOS mogą być umieszczane na oddzielnych wyspach a ich podłoża są dostępne niezależnie od pozostałych tranzystorów z kanałem typu P. Z tego względu pary różnicowe zostały wykonane na tranzystorach PMOS. Podstawowe parametry wzmacniacza uzyskane z symulacji przedstawione są w tabeli 2. Charakterystyki przejściowe wzmacniacza przedstawione są na rys. 13. Linia przerywaną, zaznaczono dla porównania, transkonduktancję pary różnicowej użytej w budowie wzmacniacza ale nie objętej sprzężeniem zwrotnym.

Tab. 2. Parametry wzmacniaczy transkonduktancyjnych z rys. 12 w wersji jedno i dwuwyjściowej, [JCR5].

Characteristic	Parameter Value	
	One output differential OTA	Dual output differential OTA
Supply voltage	3.3V	3.3V
Power consumption	276 μ W	309 μ W
Transconductance	7.04 μ S	7.04 μ S
Frequency of 1° output current phase	2.508MHz	2.488MHz
Integrated input referred noise (0.1-10MHz)	474 μ V _{RMS}	474 μ V _{RMS}
THD (@ 100kHz)	-40dB @ Vid=0.68V	-40dB @ Vid=0.68V
THD (@ 100kHz) (WC @20 MC @ 0.5% Vt and K)	-31dB @ Vid=0.68V	-31dB @ Vid=0.68V
Dynamic range (@ THD=-40dB)	60.1dB	60.1dB
CMRR (WC @100 MC @ 0.5% Vt and K)	49.5dB	53.2dB
PSRR ⁺ (WC @100 MC @ 0.5% Vt and K)	40.5dB	37.8dB
PSRR ⁻ (WC @100 MC @ 0.5% Vt and K)	39.3dB	36.6dB
V _{INOFFSET} PSRR ⁻ (WC @100 MC @ 0.5% Vt and K)	33.4mV	30.6mV
Equivalent differential input capacitance	62.43fF	91.97fF
Equivalent differential output capacitance	4.99fF	4.99fF
CM dc output voltage change	12.5mV	9.6mV



Rys. 13. Charakterystyka przejściowa wzmacniacza transkonduktancyjnego z rys. 12. Dla porównania linią przerywaną wykreślono transkonduktancję zwykłej pary różnicowej MOS, [JCR5].

2.2.5. Sumowanie transkonduktancji wyprowadzeń bramek i podłoży

W publikacji [JCR4] przedstawiono parę różnicową MOS jako wzmacniacz dwuwyjściowy z równoczesnym wykorzystaniem jako wejść par wyprowadzeń bramek i podłoży tranzystorów MOS. Schemat takiej pary różnicowej przedstawiono na rys. 14. W układzie tym założono, że sygnał różnicowy v_{ID} dociera do bramek wzmocniony a krotnie a do podłoży b krotnie. Założenie to jest potrzebne do późniejszych rozważań dotyczących różnych konfiguracji wzmacniacza wynikowego. Aby utrzymać tranzystory w zakresie nasycenia i uniknąć dużych prądów podłoży, wartości napięć wspólnych bramek V_{CMG} i podłoży V_{CMB} muszą być względem siebie odpowiednio przesunięte. Zakładając kwadratowy model tranzystorów MOS oraz stosując w trakcie przekształceń uproszczenie polegające na rozwinięciu równania pośredniego w szereg Taylora i pominięciu wyrażen powyżej 2 stopnia, wartość prądu wyjściowego pary można wyrazić za pomocą wyrażenia [JCR4]:

$$i_d \approx \left(a + \frac{b\gamma_n}{2\sqrt{PHI + V_{S0} - V_{CMB}}} \right) \sqrt{I_{SS} K} v_{ID} \sqrt{1 - \left(a + \frac{b\gamma_n}{2\sqrt{PHI + V_{S0} - V_{CMB}}} \right)^2 \frac{K}{4I_{SS}} v_{ID}^2} \quad (8)$$

gdzie: $K = 0.5\mu_n C_{OX} W/L$, W i L są szerokością i długością kanałów identycznych tranzystorów MOS M1 i M2, μ_n jest ruchliwością nośników, C_{OX} jest gęstością powierzchniową pojemności bramki, V_{T0} jest napięciem progowym tranzystorów dla $V_{BS}=0$, PHI jest potencjałem powierzchniowym (około 0.6V), V_{SB} jest napięciem pomiędzy źródłem a podłożem, γ_n współczynnikiem podłożowym oraz $V_{S0} \approx V_{CMG} - V_{T0} - \sqrt{I_{SS}/K}$.

Zakres napięcia wejściowego dla którego wyrażenie (8) jeszcze nie nasyca się jest ograniczony do [JCR4]:

$$|v_{ID}| \leq \left(a + \frac{b\gamma_n}{2\sqrt{PHI + V_{S0} - V_{CMB}}} \right)^{-1} \sqrt{\frac{2I_{SS}}{K}} \quad (9)$$

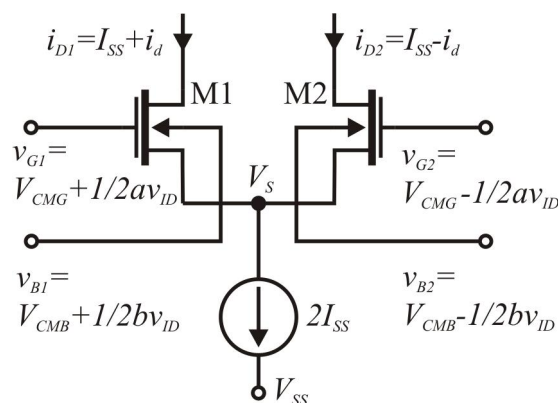
Podstawiając:

$$GF = \left(a + \frac{b\gamma_n}{2\sqrt{PHI + V_{S0} - V_{CMB}}} \right) \quad (10)$$

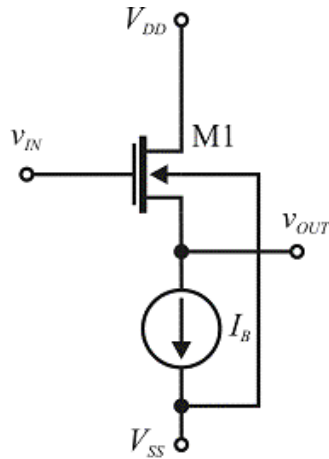
wzory (8) i (9) można zapisać w postaci:

$$i_d \approx GF \sqrt{I_{SS} K} v_{ID} \sqrt{1 - GF^2 \frac{K}{4I_{SS}} v_{ID}^2} \quad (11)$$

$$|v_{ID}| \leq \frac{1}{GF} \sqrt{\frac{2I_{SS}}{K}} = V_{IDMAX} \quad (12)$$



Rys. 14. Para tranzystorów NMOS z sygnałami wejściowymi dostarczonymi równocześnie do wyprowadzeń bramek i podłoży. Wejściowe napięcie różnicowe v_{ID} dociera do bramek ze współczynnikiem a a do podłoży ze współczynnikiem b . Wspólne napięcia polaryzujące V_{CMG} oraz V_{CMB} muszą być względem siebie odpowiednio przesunięte, [JCR4].



Rys. 15. Prosty przesuwnik poziomu napięcia z wykorzystaniem tranzystora MOS w konfiguracji wspólnego drenu zwanego również wtórnikiem źródłowym, [JCR4].

W celu prawidłowego dostarczenia tego samego napięcia różnicowego v_{ID} równocześnie do wejść bramek i podłoży pary różnicowej należy zapewnić jego przesunięcie o stałą wartość co może być wykonane z użyciem wzmacniacza w konfiguracji wspólnego drenu jak to przedstawiono na rys. 15. Układ taki, zakładając, że podłoże tranzystora połączone jest z masą ma wzmocnienie napięciowe równe:

$$A_{SH} = \frac{v_{out}}{v_{in}} \approx \frac{g_m}{g_m + g_{mb}} = \frac{2\sqrt{PHI + V_{SB1}}}{\gamma_n + 2\sqrt{PHI + V_{SB1}}} \quad (13)$$

co w praktyce daje wartości rzędu 0,65 – 0,85. Przesunięcie poziomu napięcia wyjściowego w stosunku do wejściowego można regulować poprzez zmianę prądu polaryzującego I_B i można oszacować równaniem:

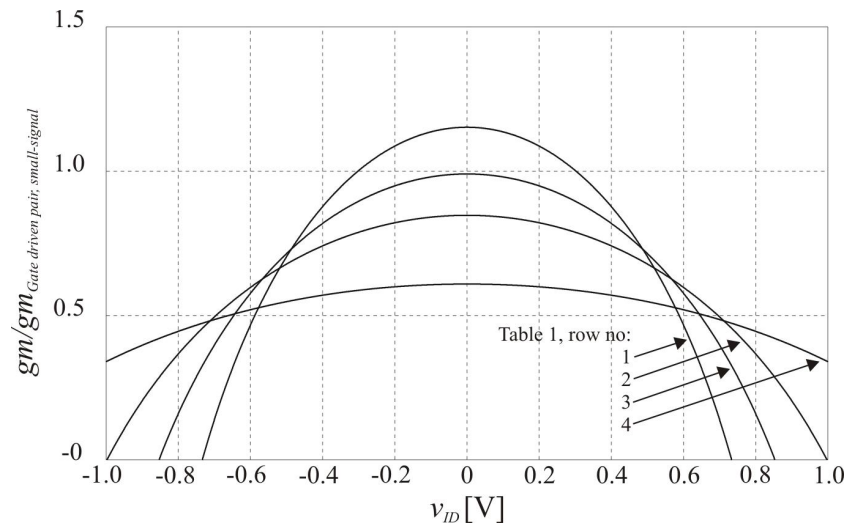
$$V_{SHIFT} = \sqrt{I_B / K_1} + V_{T1} = \sqrt{I_B / K_1} + V_{T0} + \gamma_n (\sqrt{PHI + V_{SB1}} - \sqrt{PHI}) \approx \sqrt{I_B / K_1} + V_{T0} \quad (14)$$

Użycie przesuwnika do dostarczenia napięcia wejściowego do bramek lub podłoży pary różnicowej daje 4 kombinacje jego wykorzystania. Podsumowanie możliwych konfiguracji przedstawione jest w tabeli 3. Połączenie buforów do danego wyprowadzenia oznacza wprowadzenie odpowiednich wartości współczynników a i b we wzorach (10), (11) i (12).

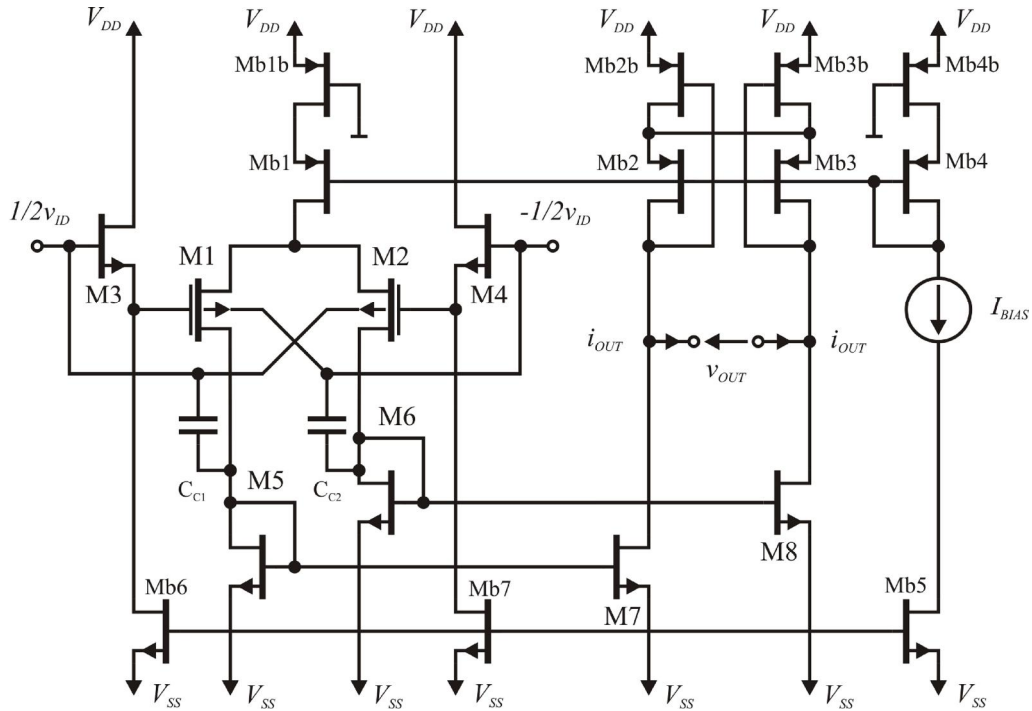
Na rys. 16 przedstawiono charakterystyki 4 możliwych wersji konfiguracji wzmacniacza odpowiadające poszczególnym wierszom w tabeli 3. znormalizowane do transkonduktancji małosygnalowej zwykłej pary różnicowej sterowanej tylko z wyprowadzeń bramek. W zależności od konfiguracji otrzymujemy rozszerzenie lub zmniejszenie zakresu dostępnego sygnału wejściowego kosztem wartości transkonduktancji. Jako przykład, na rys. 17 przedstawiono schemat pełnego wzmacniacza OTA z wykorzystaniem reguły z wiersza 4 z tab. 3. Takie połączenie daje najszerszy możliwy zakres napięć wejściowych kosztem zmniejszenia do ok. 60% wartości uzyskanej transkonduktancji. Projekt wzmacniacza z rys. 17 wykonany został dla technologii AMS CMOS 0,35 μ m typu NWELL dla której dostęp do wyprowadzeń podłoży możliwy jest tylko dla tranzystorów PMOS i dlatego para różnicowa (M1, M2) złożona jest właśnie z takich elementów. Tranzystory M3, M4 stanowią przesuwniki napięcia wejściowego i po zamianie polaryzacji ich sygnały wyjściowe trafiają do podłoży pary wejściowej. Pozostałe elementy stanowią typowe układy polaryzacji, układ CMFB (ang. Common Mode Feed Back) i wyjściowe lustra prądowe.

Tab. 3. Możliwe połączenia przesuwników napięcia do pary sterowanej równocześnie z wyprowadzeń bramek i podłoży, [JCR4].

Nr	Połączenie buforów o wzmocnieniu A_{SH}	Wynikowy współczynnik wzmocnienia
1	bufory do wyprowadzeń podłoży, połączenie proste	$GF = \left(1 + \frac{A_{SH}\gamma_n}{2\sqrt{PHI + V_{S0} - V_{CMB}}} \right)$
2	bufory do wyprowadzeń podłoży, połączenie krosowane	$GF = \left(1 - \frac{A_{SH}\gamma_n}{2\sqrt{PHI + V_{S0} - V_{CMB}}} \right)$
3	bufory do wyprowadzeń bramek, połączenie proste	$GF = \left(A_{SH} + \frac{\gamma_n}{2\sqrt{PHI + V_{S0} - V_{CMB}}} \right)$
4	bufory do wyprowadzeń bramek, połączenie krosowane	$GF = \left(A_{SH} - \frac{\gamma_n}{2\sqrt{PHI + V_{S0} - V_{CMB}}} \right)$



Rys. 16. Transkonduktancja wzmacniacza będąca pochodną wyrażenia (11) po napięciu wejściowym. Wykres jest znormalizowany do wartości transkonduktancji małosygnałowej zwykłej pary różnicowej sterowanej z bramek. Krzywe obliczone dla następujących wartości parametrów: $I_{SS}=10\mu A$, $K=28\mu A/V^2$, $A_{SH}=0.8$, $\gamma_n=0.4$, $V_{S0} - V_{CMB}=0.5V$ i $PHI=0.6V$, [JCR4].



Rys. 17. Schemat pełnego wzmacniacza OTA zaprojektowanego zgodnie z wierszem 4 z tab. 3, [JCR4].

2.3. Prace badawcze nad analogowym przetwarzaniem sygnałów w trybie prądowym

W artykule [JCR6] zaproponowano oryginalną strukturę prostego wzmacniacza prądowego z dodatnim wzmocnieniem. Jako wzmacniacze prądowe zazwyczaj stosuje się lustro prądowe, jednak mają one ujemne wzmocnienie prądowe. W celu uzyskania dodatniego wzmocnienia w takim przypadku należy użyć kaskadowego połączenia dwóch lusterek. Jest to niekorzystne gdyż zarówno zwiększa liczbę użytych elementów, pobieraną moc jak również pogarsza parametry częstotliwościowe i szumowe. Propozycja [JCR6] bazuje na parze różnicowej ze zwielokrotnioną liczbą tranzystorów, jak to przedstawiono na rys. 18. Tranzystory pary są podzielone na dwa identyczne elementy oznaczone indeksami A i B. Zakładając pracę tranzystorów w nasyceniu, prądowe prawo Kirchhoff'a w punkcie połączenia źródeł tranzystorów można zapisać w postaci:

$$\begin{aligned} I_{S(M1A)} + I_{S(M1B)} + I_{S(M2A)} + I_{S(M2B)} &\approx \\ 2(I_{IN} + I_{BIAS}) + I_{D(M2A)} + I_{D(M2B)} &= 4I_{BIAS} \end{aligned} \quad (15)$$

a biorąc pod uwagę, że prądy drenów tranzystorów M_{2A} i M_{2B} są sobie równe, prądy wyjściowe można wyrazić za pomocą równań:

$$I_{OUTM} = -I_{IN} \quad (16)$$

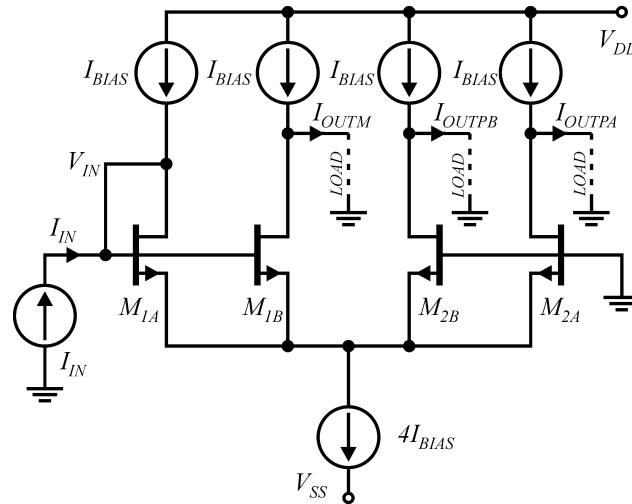
$$I_{OUTPA} = I_{OUTPB} = I_{IN} \quad (17)$$

Rdzeń wzmacniacza prądowego z rys. 18 ma trzy niezależne wyjścia, dwa z nich mają wzmocnienie dodatnie a jedno ujemne. Należy zauważyć, że wzmacniacz z rys. 18 będzie działał prawidłowo również wtedy gdy tranzystory M_{1A} i M_{1B} nie będą identyczne – wówczas warunkiem koniecznym poprawnego działania jest to, że łączna szerokość tranzystorów po

stronie lewej będzie identyczna jak po stronie prawej pary różnicowej. Co więcej, również liczba tranzystorów nie jest istotna, istotna jest tylko równość łącznej szerokości tranzystorów grupy lewej i prawej. Jeśli tranzystory oznaczone jako M_{1B} oraz M_{2B} będą miały wymiary szerokości tranzystorów SF razy większe niż wymiary tranzystorów M_{1A} oraz M_{2A} wówczas zależności (16), (17) definiujące prądy wyjściowe modyfikują się do postaci:

$$I_{OUTM} = -SF \cdot I_{IN}, \quad I_{OUTPA} = I_{IN}, \quad I_{OUTPB} = SF \cdot I_{IN} \quad (18)$$

a poprzez skalowanie i dalsze dzielenie tranzystorów możemy uzyskać dowolne wartości dodatnich i ujemnych wzmocnień oraz dowolną liczbę wyjść.



Rys. 18. Rdzeń wtórnika/wzmacniacza prądowego, [JCR6].

Charakterystyka częstotliwościowa rdzenia wzmacniacza (dla identycznych wszystkich elementów) liczona do wyjścia odwracającego jest równa:

$$\frac{i_{OUTM}(s)}{I_{IN}(s)} \approx -\frac{gm}{gm + 2sC_{GS}} \quad (19)$$

a do wyjść nieodwracających jest następująca:

$$\frac{i_{OUTPA}(s)}{I_{IN}(s)} = \frac{i_{OUTPB}(s)}{I_{IN}(s)} \approx \frac{gm}{gm + 2sC_{GS}} \cdot \frac{gm + sC_{GS}}{gm + sC_{GS}} \quad (20)$$

gdzie: $gm = 2\sqrt{KI_{BIAS}}$, $C_{GS} = 2/3C_{OX}W/L$, $K = 0.5\mu_n C_{OX}W/L$, W i L są szerokością i długością kanału tranzystora, μ_n jest ruchliwością nośników a C_{OX} jest gęstością powierzchniową pojemności bramki. Transmitancja (20) posiada biegun i zero o tej samej wartości i dlatego upraszcza się do transmitancji (19) (nie uwzględniając znaku) czyli identycznej jak dla wyjścia nieodwracającego. W rzeczywistości, jeśli uwzględniona zostanie pojemność źródła prądowego $4I_{BIAS}$ transmitancja (20) modyfikuje się do równania:

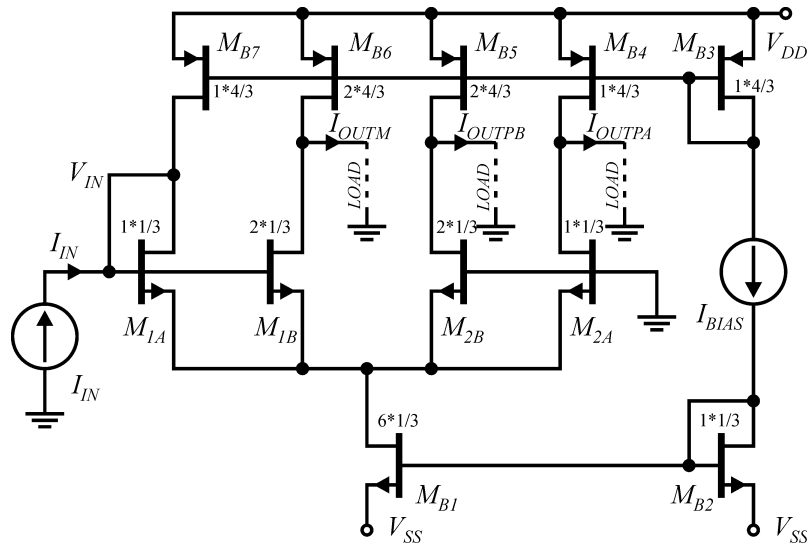
$$\frac{i_{OUTPA}(s)}{I_{IN}(s)} = \frac{i_{OUTPB}(s)}{I_{IN}(s)} \approx \frac{gm}{gm + 2sC_{GS}} \cdot \frac{2gm + 2sC_{GS}}{2gm + s(2C_{GS} + C_{SOURCE})} \quad (21)$$

W tabeli 4 przedstawiono porównanie właściwości zaproponowanego rdzenia wzmacniacza do właściwości zwykłego lustra prądowego, podwójnego lustra prądowego (w celu uzyskania dodatniego wzmocnienia prądowego) oraz do wzmacniacza z publikacji [A12]. Zaproponowany układ zużywa nieco więcej prądu i ma nieco więcej elementów od pozostałych układów porównawczych. Jego, natomiast bardzo dużymi zaletami są: brak konieczności skalowania tranzystorów NMOS względem PMOS, wielokrotne wyjścia o możliwych dowolnych zarówno dodatnich jak i ujemnych wzmocnieniach przy zachowaniu podobnego pasma jak dla lustra prądowego.

Tab. 4. Porównanie właściwości zaproponowanego rdzenia wzmacniacza prądowego z rys. 18 ze zwykłym lustrem prądowym, podwójnym lustrem prądowym oraz realizacją z publikacji [A12], [JCR6].

Parameter/Circuit	Proposed amplifier in Fig. 18	nMOS current mirror	Double current mirror	Current amplifying core [A12]
Current gain	-1 and 1	-1	1	-1 and 1
Outputs count	3	1	1	2
Self regulated input voltage level	yes	no	no	yes
nMOS to pMOS devices scaling requirement	no	no	no	yes
Input current range	$-I_{BIAS}$ to I_{BIAS}	$-I_{BIAS}$ to more than I_{BIAS}	$-I_{BIAS}$ to more than I_{BIAS}	$-I_{BIAS}$ to I_{BIAS}
Dominant current transmittance pole	$-gm/(2C_{GS})$	$-gm/(2C_{GS})$	$-gm/(6C_{GS})$	$-gm/(4C_{GS})$
Input resistance	$2/gm$	$1/gm$	$1/gm$	$2/gm$
Output resistance	inv. $\approx r_O$ non inv. $\approx 2r_O$	r_O	r_O	inv. $\approx r_O$ non inv. $\approx 2r_O$
Current consumption	$4I_{BIAS}$	$2I_{BIAS}$	$3I_{BIAS}$	$3I_{BIAS}$
Devices count	7	4	6	5
Minimal power supply voltage $V_{DD} - V_{SS}$	$V_{GS} + 2V_{DS,SAT}$	$V_{GS} + V_{DS,SAT}$	$V_{GS} + V_{DS,SAT}$	$V_{GS} + 2V_{DS,SAT}$

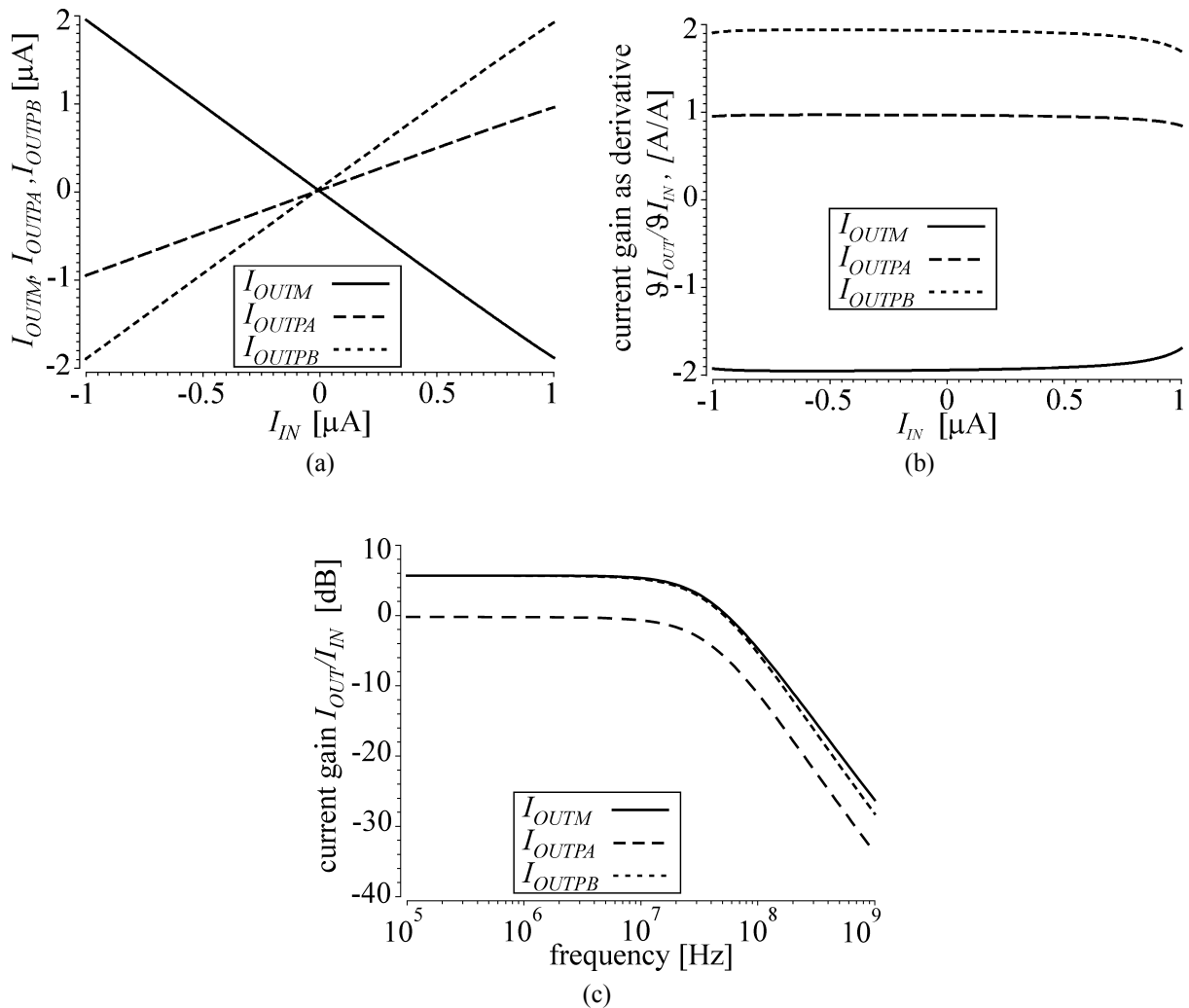
Rdzeń z rys. 18 można użyć jako samodzielny wzmacniacz prądowy lub też jako podbłok większego układu na przykład jako stopień wyjściowy wzmacniacza transkonduktancyjnego lub konweyora prądowego. Wzmacniacz ten nadaje się również do wykonania wzmacniacza z programowanym współczynnikiem wzmocnienia prądowego. Można to wykonać poprzez rozbitcie obu gałęzi pary różnicowej na skalowane binarnie tranzystory oraz dołączenie kluczy sygnałowych do ich wyjść. Na rys. 19 przedstawiono przykład wykorzystania rdzenia jako samodzielnego wzmacniacza prądowego. Układ został zaprojektowany z użyciem technologii 90nm CMOS firmy TSMC w środowisku CAD Cadence Virtuoso. Wzmacniacz ma jedno wejście i trzy wyjścia. Nieużywane wyjścia powinny być zwarte do masy sygnałowej, w przeciwnym razie tranzystory danego wyprowadzenia mogą wyjść z zakresu nasycenia i cały wzmacniacz nie będzie pracował prawidłowo. We wzmacniaczu zastosowano współczynnik skalowania $SF=2$ (tranzystory sekcji B mają 2 razy większe wymiary niż tranzystory sekcji A). Teoretyczne wzmocnienie do wyjścia OUTM powinno być równe -2, do wyjścia OUTPB równe 2 a do wyjścia OUTPA równe 1. Poprzez odpowiednie zwarcia wyjść ze sobą możemy uzyskać wzmocnienia równe: -2, -1, 1, 2 i 3. Symulowane charakterystyki wzmacniacza przedstawione są na rys. 20 a podsumowanie uzyskanych parametrów przedstawione jest w tabeli 5. Wartości teoretycznych wzmocnień różnią się nieznacznie od wartości uzyskanych z symulacji i wynoszą odpowiednio: -1,941; 0.9662 oraz 1,932.



Rys. 19. Pełny wzmacniacz prądowy bazujący na rdzeniu z rys. 18. Przyjęto współczynnik skalowania $SF=2$. Wymiary tranzystorów w [μm] w formacie: mnożnik * szerokość / długość, [JCR6].

Tab. 5. Parametry wzmacniacza z rys. 19 uzyskane poprzez symulacje w środowisku Cadence Virtuoso, [JCR6].

Power Supply $V_{DD} - V_{SS}$	1.2V
Current consumption	7.77 μA
Bias current I_{BIAS}	1.1 μA
Current gains at $OUTM$, $OUTPA$ and $OUTPB$ @ $I_{IN}=0$	-1.941; 0.9662; 1.932
3dB passband for inverting output	21.75MHz
3dB passband for non inverting outputs	20.57MHz
Input resistance @ $I_{IN}=0$	131.4k Ω
Input capacitance @ $I_{IN}=0$	58fF
Output resistance I_{OUTM} @ $V_{OUTM}=0$	2.49M Ω
Output resistance I_{OUTPA} @ $V_{OUTPA}=0$	5.56M Ω
Output resistance I_{OUTPB} @ $V_{OUTPB}=0$	3.15M Ω
Output capacitance I_{OUTM} @ $V_{OUTM}=0$	8.65fF
Output capacitance I_{OUTPA} @ $V_{OUTPA}=0$	4.32fF
Output capacitance I_{OUTPB} @ $V_{OUTPB}=0$	8.65fF
Input voltage @ $I_{IN}=0$	1.215mV
Input referred current noise @100kHz	1.583pA/ $\sqrt{\text{Hz}}$
Amplitude of harmonic 10kHz input signal @ THD=1% for $OUTPB$	1.06 μA



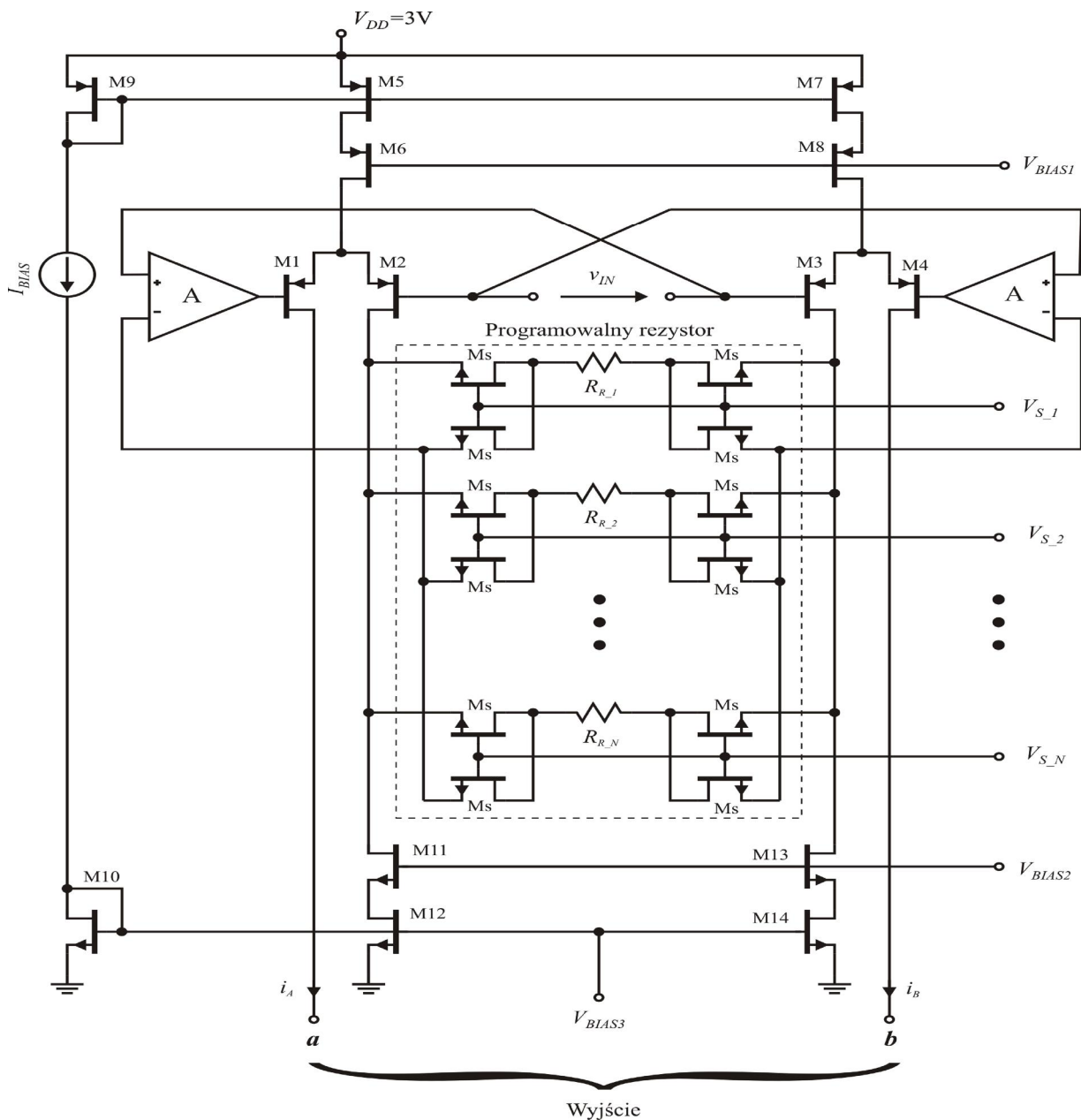
Rys. 20. Symulowane charakterystyki wzmacniacza prądowego z rys. 19. Wykres (a) charakterystyki przejściowe stałoprądowe i ich pochodna (b) będąca wzmocnieniem prądowym, wykres (c) amplitudowa charakterystyka częstotliwościowa, [JCR6].

2.4. Prace badawcze nad możliwościami programowania wzmacniaczy analogowych

W niniejszym opracowaniu programowalność jest rozumiana jako możliwość zmiany parametrów wzmacniacza (np. wartości transkonduktancji lub trybu pracy) poprzez podanie zestawu napięć programujących w postaci ciągu przemieszanych wartości równych zeru lub napięciu zasilającemu. Taki ciąg wartości napięć rozumiany jest jako ciąg wartości logicznych gdzie wartości logicznej „1” przyporządkowane jest napięcie równe napięciu zasilającemu a wartości logicznego „0” napięcie równe zeru. Kolejność poszczególnych wartości lub inaczej bitów w ciągu programującym odzwierciedla końcowe właściwości zaprogramowanego parametru. Zazwyczaj wartości parametrów kodowane są w postaci cyfry w systemie dwójkowym ale możliwe są również inne kodowania.

W publikacji [K3] zaproponowano programowanie wartości transkonduktancji wzmacniacza poprzez kluczowanie rezystancji w linearyzującej pętli sprzężenia zwrotnego. Zasada pracy zlinearyzowanego wzmacniacza została wcześniej przedstawiona na rys. 7. Zastosowanie wzmacniacza sprzężenia zwrotnego A o dostatecznie dużej wartości wzmocnienia napięciowego powoduje, że wartość transkonduktancji jest równa przewodności rezystora w sprzężeniu zwrotnym. W realizacji praktycznej, programowalnej, przedstawionej

na rys. 21 rezystor R_R w sprzężeniu zwrotnym zastąpiony jest przez zestaw rezystorów $R_{R,1} - R_{R,N}$ wraz z zespołami kluczy tranzystorowych NMOS oznaczonymi na rysunku symbolem M_S . Każdy z rezystorów ma zestaw czterech kluczy zamiast dwóch. Takie połączenie ma na celu uniezależnienie się od spadku napięcia powstającego na kluczu tranzystorowym poprzez pobór napięcia poprzez oddzielny klucz, bezpośrednio z wyprowadzenia rezystora. Przez klucz doprowadzający napięcie do wejścia wzmacniacza A nie płynie żaden prąd (bo wzmacniacz ma niemal nieskończoną rezystancję wejściową) i dlatego spadek napięcia na takim kluczu również jest zerowy. Do wejścia wzmacniacza sprzężenia zwrotnego doprowadzane jest więc napięcie na rezystorze a dodatkowy spadek na kluczu doprowadzającym prąd do rezystora nie ma istotnego znaczenia dla działania pętli sprzężenia zwrotnego.



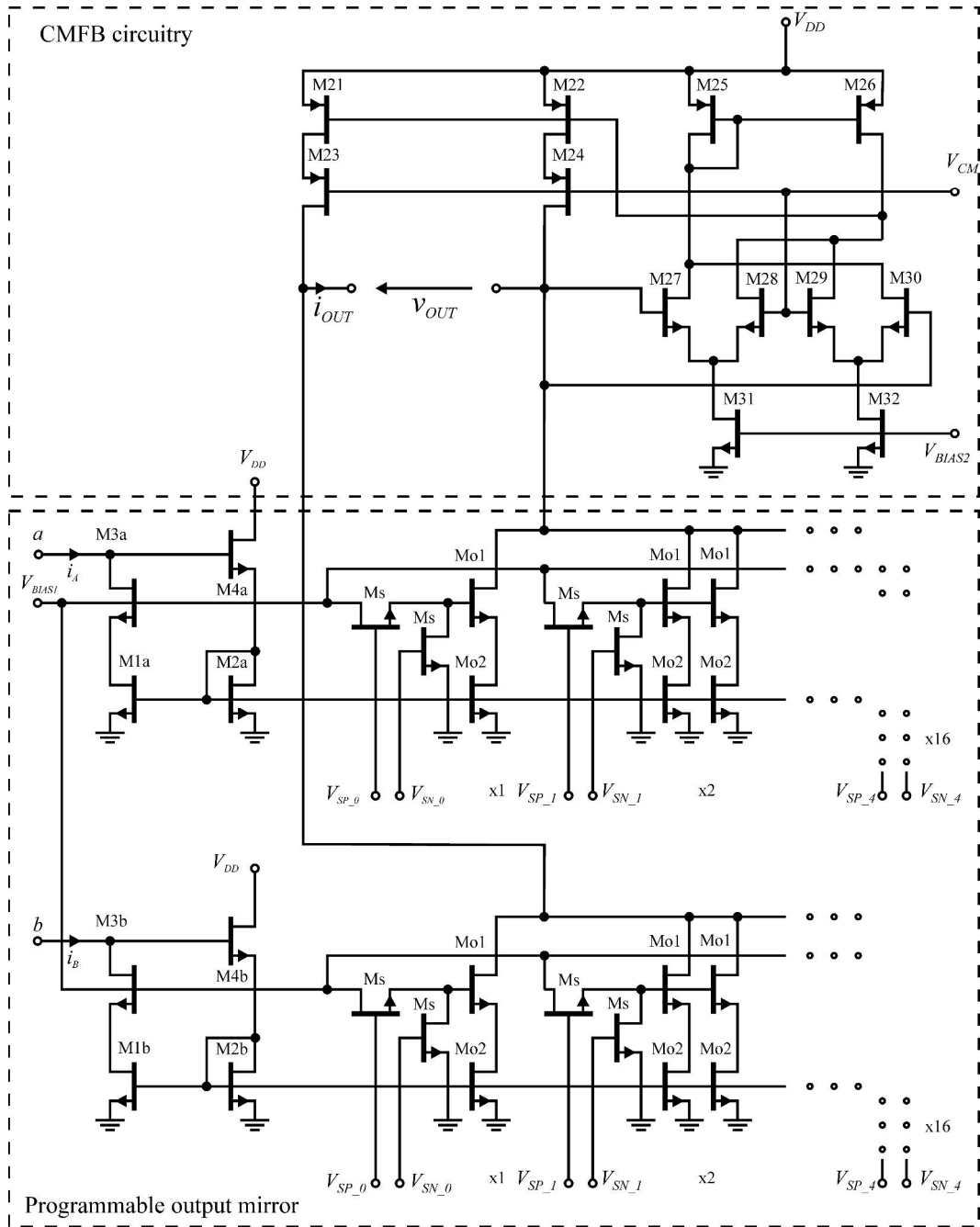
Rys. 21. Praktyczna realizacja różnicowego, programowalnego stopnia wejściowego wzmacniacza transkonduktancyjnego z linearyzacją charakterystyk przejściowych realizowanych wg zasady przedstawionej na rys. 7, [K3].

Programowanie transkonduktancji można wykonać poprzez aktywowanie pojedynczego z rezystorów $R_{R,n}$, ustawiając napięcie o wartości V_{DD} na odpowiadającym wyprowadzeniu V_{S_n} , równocześnie ustawiając na pozostałych wyprowadzeniach programujących wartości równe zero. Takie podejście wymaga podania kodu typu 1 z N a liczba bitów programujących wynosi N oraz niezbędne jest wykonanie N rezystorów i $4N$ kluczy MOS. W przypadku jednoczesnego podania napięcia na kilka wyprowadzeń programujących, przewodności rezystorów $R_{R,n}$ dodają się a wynikowa wartość prądu wyjściowego jest równa:

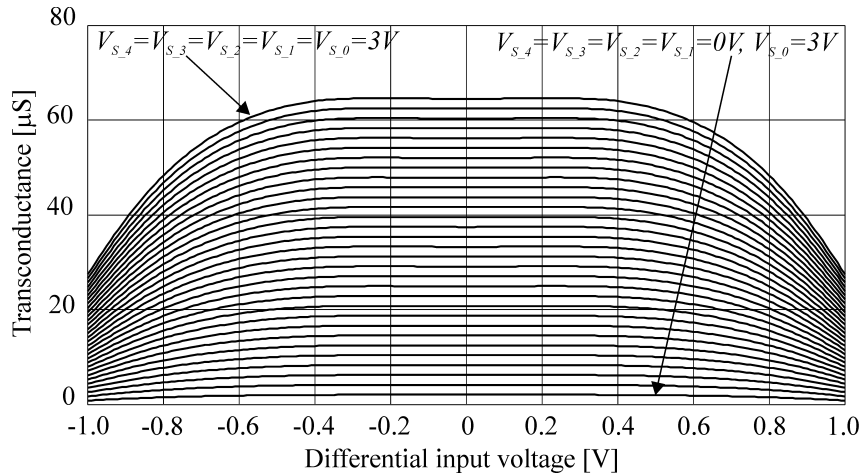
$$i_A = -i_B = v_{IN} \sum_{i=1}^N \frac{b_i}{R_{R_i}} \quad (22)$$

gdzie: $b_i = 1$ jeśli wartość napięcia programującego V_{S_i} odpowiadającego danemu bitowi jest równa V_{DD} oraz $b_i = 0$ w przeciwnym przypadku. Wykonując jako kolejne rezystory $R_{R,n}$, elementy o wartości dwukrotnie większej od poprzedniej uzyskujemy binarne programowanie wartości transkonduktancji a liczba możliwych wartości wynikowej transkonduktancji wzmacniacza wynosi 2^N . Należy tu dodać, że dla równego rozplywu prądów w tym przypadku, oprócz binarnego skalowania rezystorów niezbędne jest binarne skalowanie szerokości tranzystorów kluczujących M_S .

Innym podejściem do programowania wartości transkonduktancji jest zastosowanie programowalnego lustra prądowego. Lustro takie stosowane jest zazwyczaj w stopniu wyjściowym wzmacniacza. W połączeniu z przedstawioną powyżej techniką skalowania w stopniu wejściowym możliwa jest łączne bardzo szeroka regulacja wynikowej wartości transkonduktancji. Zasada działania przedstawiona jest na przykładzie stopnia wyjściowego dostosowanego do pracy z prezentowanym wcześniej układem wejściowym na rys. 5 i jest przedstawiona na rys. 22. Lustro prądowe pracuje w układzie kaskodowym z dodatkowymi elementami M_{4a} , M_{2a} , M_{4b} , M_{2b} rozszerzającymi zakres przenoszonych częstotliwości [A13]. Elementy M_{o1} i M_{o2} są tranzystorami wyjściowymi kaskodowego lustra prądowego a tranzystory M_S są kluczami napięcia polaryzującego V_{BIAS1} dostarczanego do górnego tranzystora wyjściowego. Napięcia na węzłach $V_{SP_4} - V_{SP_0}$ programują wartość mnożnika lustra prądowego. Jeśli do węzła V_{SP_X} przyłożone jest napięcie V_{DD} wówczas na bramce tranzystora M_{o1} pojawia się napięcie polaryzujące V_{BIAS1} a przez tranzystor płynie prąd wyjściowy. W przeciwnym przypadku tj. jeśli do węzła V_{SP_X} przyłączono masę wówczas odpowiadający prąd wyjściowy jest zerowy. W pojedynczej parze wyjściowej są umieszczone po dwa klucze tranzystorowe M_S . Drugi klucz rozładuje bramkę tranzystora M_{o1} w czasie gdy stopień wyjściowy powinien być wyłączony i dlatego napięcia V_{SP_X} oraz V_{SN_X} powinny być o przeciwnych wartościach logicznych. Stopień kaskody o indeksie 0 składa się z jednego zestawu tranzystorów M_{o1} i M_{o2} . Liczba zestawów tranzystorów wyjściowych podwaja się dla każdego kolejnego zestawu kaskody. W stopniu wyjściowym jest łącznie 5 zestawów tranzystorów wyjściowych indeksowanych od 0 do 4 i daje to możliwość uzyskania 31 różnych wartości transkonduktancji kodowanych kodem binarnym dwójkowym. Na rys. 23 przedstawiono symulowaną zmianę transkonduktancji wzmacniacza uzyskaną poprzez programowanie jej słowem cyfrowym.

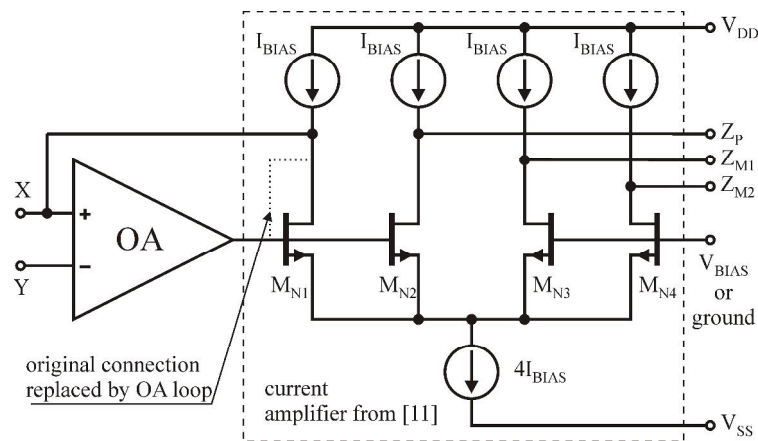


Rys. 22. Programowalny stopień wyjściowy wzmacniacza transkonduktancyjnego przystosowany do pracy ze stopniem wejściem z rys. 5, [JCR1].

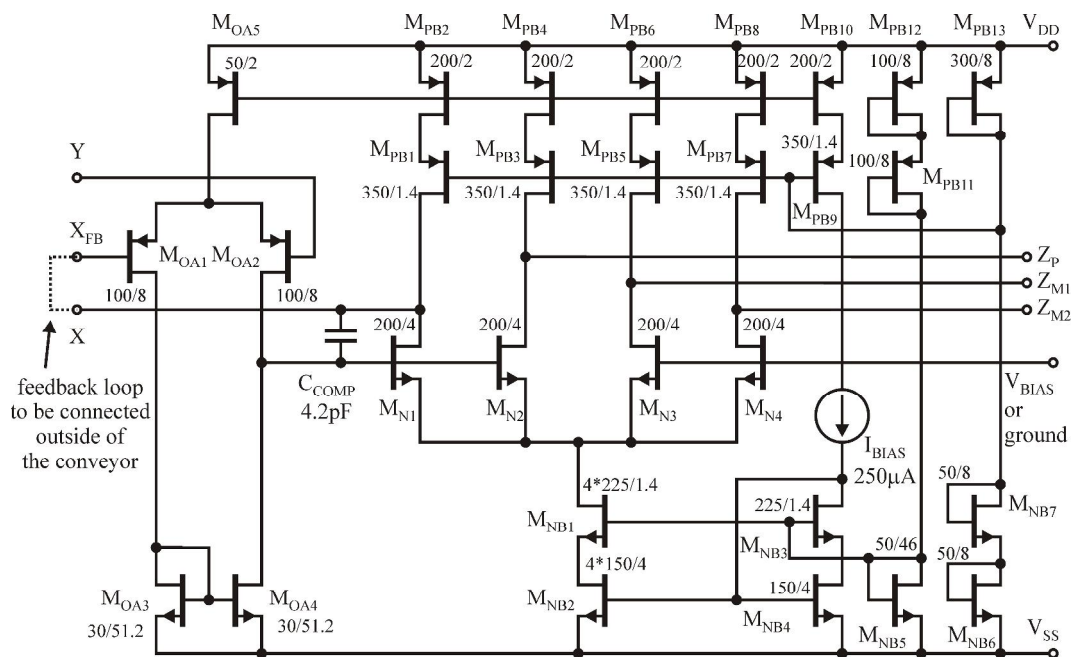


Rys. 23. Zmiana transkonduktancji wzmacniacza złożonego ze stopnia wejściowego z rys. 5 i wyjściowego z rys. 22. Zmiana transkonduktancji wykonana poprzez programowanie kodem binarnym dwójkowym napięć podawanych na wyprowadzenia $[V_{S,4} : V_{S,0}]$ stopnia wyjściowego, [JCR1].

W publikacji [JCR7] przedstawiono układ wzmacniacza instrumentacyjnego z wykorzystaniem wielowyjściowych konwektorów prądowych drugiej generacji i bramek transmisyjnych. Sam konwektor prądowy wykorzystuje wzmacniacz opublikowany w [JCR6] jako stopień wyjściowy oraz parę różnicową MOS. Koncepcja układu konwektora przedstawiona jest na rys. 24 a jego schemat szczegółowy na rys. 25. Schemat wzmacniacza instrumentacyjnego o programowanym rodzaju sygnału wejściowego przedstawiono na rys. 26. W przypadku podania napięcia o wartości V_{DD} na wyprowadzenie VM układ pracuje w trybie napięciowym, przy podaniu napięcia V_{DD} na wyprowadzenie CM układ pracuje w trybie prądowym. Dzięki rozcięciu pętli sprzężenia zwrotnego w wykorzystanym konwektorze prądowym (rozcięcie zrealizowane poprzez oddzielne wyprowadzenia X oraz X_{FB}), poprzez podawanie prądu do wyprowadzenia X a pomiar napięcia na wyprowadzeniu X_{FB} można uniknąć wpływu nieliniowej rezystancji użytych bramek transmisyjnych i zachować liniową charakterystykę całego wzmacniacza instrumentacyjnego pracującego zarówno w wyjściowym trybie napięciowym jak i prądowym.

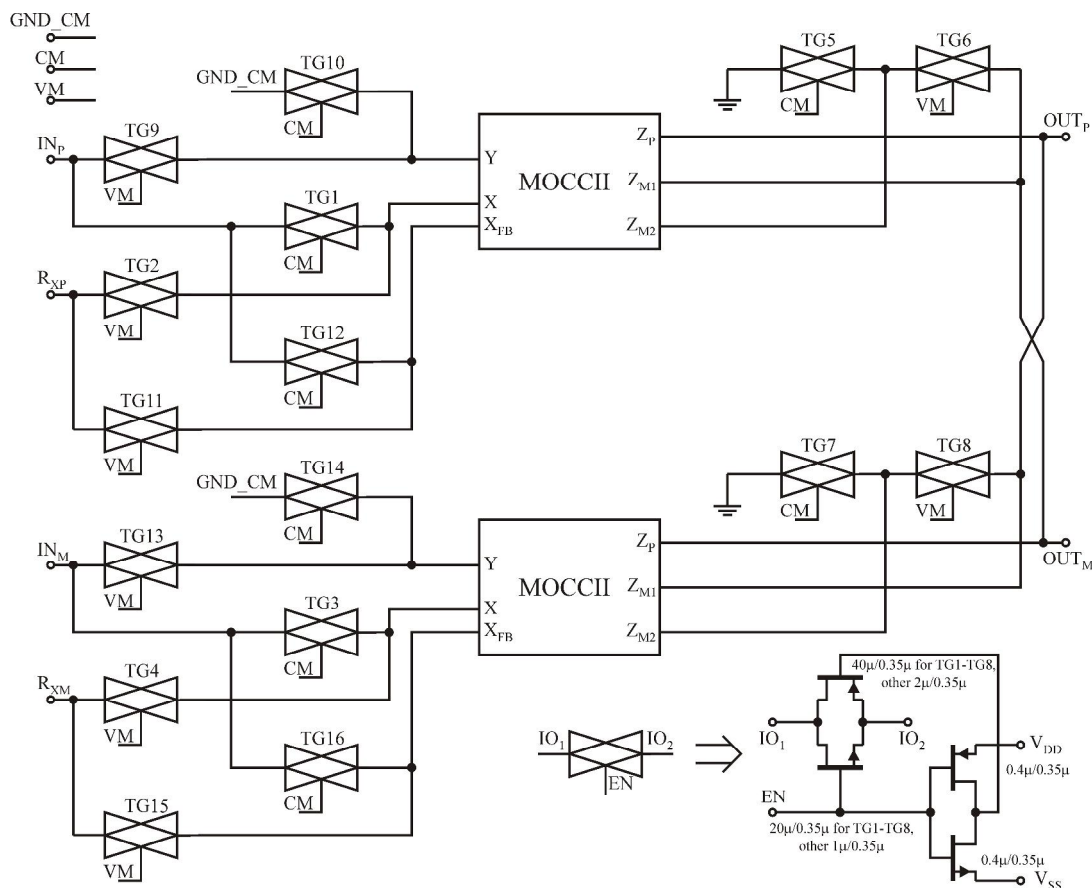


Rys. 24. Architektura wielowyjściowego konwektora prądowego drugiej generacji z zastosowaniem wzmacniacza prądowego [JCR6]. Zamiast połączenia tranzystora M_{N1} w konfiguracji diodowej wprowadzone zostało sprzężenie zwrotne poprzez wzmacniacz OA, [JCR7].



Rys. 25. Szczegółowy schemat wielowyjściowego konweyora prądowego wg koncepcji z rys. 24 [JCR7].

Wzmacniacz instrumentacyjny z rys.26 został zbadany poprzez wykonanie symulacji komputerowych a szczegółowe wyniki w postaci wykresów i tabel można znaleźć w publikacji [JCR7].



Rys. 26. Wzmacniacz instrumentacyjny o programowanym trybie pracy wejścia [JCR7].

2.5. Realizacja cyfrowych układów scalonych

W publikacjach [JCR2], [JCR3], [K4] i [K5] przedstawiono projekty cyfrowych układów scalonych CMOS wykonanych w technologiach 130nm i 90nm. Znajomość zasad projektowania takich układów jest niezbędna do badań nad programowalnymi układami scalonymi typu SoC zawierającymi analogowe, programowalne bloki funkcjonalne. Habilitant brał czynny udział w projektowaniu obu układów scalonych. Pierwszy z nich stanowi specjalizowany układ ASIC do obsługi węzła sieci sensorowej nadzorującej ruch pojazdów poprzez analizę strumienia video o niskiej rozdzielczości. Oryginalnym wkładem habilitanta jest opracowanie i realizacja sprzętowego bloku transformacji perspektywy. Cały układ scalony został zaprojektowany z użyciem komórek standardowych w technologii firmy UMC 130nm. Oprócz komórek standardowych użyto wygenerowanych modułów pamięci RAM osadzonych w kodzie VHDL w celach symulacyjnych a następnie wstawionych do topografii układu poprzez producenta. Synteza logiczna została wykonana z użyciem oprogramowania RTL Compiler firmy Cadence. W czasie syntezy użyto komórek w wersjach LP (ang. Low Power) oraz HS (ang. High Speed). W celu minimalizacji pobieranej mocy użyto techniki bramkowania zegara (ang. clock gating). Do układu wstawiono kontroler JTAG (ang. Joint Test Action Group) oraz użyto techniki DFT (ang. design for test) w celu późniejszego testowania ewentualnych wad układu. Implementację układu wykonano przy użyciu oprogramowania SoC Encounter GXL 6.2 firmy Cadence. W ramach implementacji wykonano między innymi:

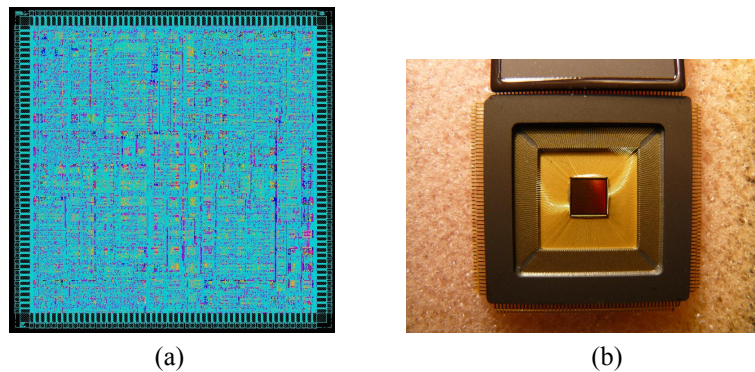
- projekt umieszczenia komórek I/O oraz zasilających,
- projekt pierścienia oraz linii zasilających,
- rozmieszczenie komórek standardowych oraz pamięci,
- trasowanie połączeń,
- analizę przesłuchów,
- serię testów, między innymi spełnienia wymagań czasowych i dystrybucji napięć zasilających.

Czynności projektowe wymienione powyżej wykonywane są niemalże automatycznie. Wykonanie projektu wymaga żmudnych przygotowań i wyboru odpowiednich bibliotek jak i czasochłonnej weryfikacji. Wyniki po poszczególnych etapach muszą być weryfikowane a implementacja często wymaga ręcznych poprawek połączeń w szczególności w miejscach o dużym zagęszczeniu ścieżek połączeniowych. Zaprojektowany i wykonany układ scalony został z powodzeniem wykorzystany w budowie węzła sieci sensorowej. Zdjęcie struktury układu scalonego przedstawiono na rys. 27. Należy nadmienić, że zaprojektowany układ ASIC (ang. Application Specific Integrated Circuit) jest złożonym cyfrowym układem typu SoC. Powierzchnia struktury układu wynosi 25mm² a we wnętrzu zawarty jest ok. 550 tys. komórek podstawowych (typu bramka, bufor, przerzutnik). W strukturze układu scalonego umieszczono między innymi:

- mikrokontroler 32 bitowy typu BA12 z następującymi blokami: kontroler zewnętrznych pamięci SDRAM i FLASH, dwa bloki UART (ang. universal asynchronous receiver and transmitter), blok DMA (ang. direct memory access) wraz z pamięcią lokalną oraz zestaw wyprowadzeń I/O,
- zestaw specjalizowanych procesorów do przetwarzania obrazów,
- blok sprzętowego szyfrowania w standardzie AES,
- kontroler transceivera radiowego na pasmo ISM 868MHz.

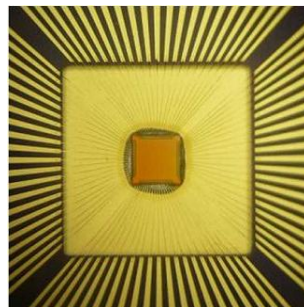
Aby zwiększyć szansę poprawnego działania docelowego układu ASIC oraz umożliwić przetestowanie różnych wersji systemu, wykonano prototyp w technice FPGA z użyciem układu scalonego Virtex-4 XC4VLX60 firmy Xilinx. Kod HDL przetestowany na prototypie FPGA został dostosowany do wersji ASIC i użyty do wykonania projektu układu scalonego CMOS UMC 130nm. Dostosowanie to dotyczyło głównie czynności manualnego wstawienia

portów I/O oraz wymiany modułów pamięci BRAM na pamięci dostosowane do projektu docelowego i wygenerowane w specjalistycznym oprogramowaniu dostawcy bibliotek - firmy Faraday.



Rys. 27. Układ scalony w technologii UMC 130nm do obsługi węzła sieci sensorowej (a) widok projektu topografii z oprogramowania SoC Encounter GXL 6.2, (b) zdjęcie wykonanego układu scalonego, [JCR2], [JCR3].

Innym przykładem zaprojektowanego i wykonanego układu cyfrowego jest układ sprzętowej akceleracji kompresji strumienia video w standardzie H.264. Podobnie jak poprzednio, najpierw sprawdzono projekt na prototypie wykonanym z użyciem układów FPGA firmy Xilinx typu Virtex-6 VLX365T. Następnie wykonano projekt specjalizowanego układu scalonego ASIC w technologii UMC 90nm. Zasadniczo etapy projektowania były podobne do przedstawionych powyżej dla układu 130nm. Należało jednak zastosować inne niż poprzednio biblioteki oraz zmodyfikować lekko proces projektowy zgodnie z zaleceniami firm Cadence oraz UMC. W przypadku układu 90nm z większą dbałością wykonano analizy przesłuchów. Na rys. 28 przedstawiono zdjęcie wykonanego układu scalonego. Układ ten został z powodzeniem wykorzystany w pracach nad akceleracją kompresji obrazu w standardzie H.264 [K4], [K5].



Rys. 28. Fotografia układu scalonego akceleratora kompresji strumienia video w standardzie H.264 wykonanego w technologii CMOS UMC 90nm [K4], [K5].

2.6. Podsumowanie autorskiego wkładu i perspektywy dalszego rozwoju

Stały rozwój technologii produkcji układów scalonych oraz narzędzi do wspomaganie ich projektowania umożliwił pojawienie się układów typu PSoC zawierających w sobie programowalny system elektroniczny i wymagających umieszczenia na docelowej płycie drukowanej jedynie niewielu elementów zewnętrznych niezbędnych do prawidłowej pracy finalnego urządzenia. Habilitant po doktoracie aktywnie włączył się w badania dotyczące projektowania specjalizowanych bloków funkcjonalnych układów scalonych CMOS.

Głównymi problemami rozważanymi przez habilitanta była poprawa liniowości wzmacniaczy, prace nad ich programowalnością, badania nad układami analogowymi pracującymi z niskimi napięciami zasilającymi oraz projektowanie analogowych, analogowo-cyfrowych i cyfrowych układów scalonych. Podsumowanie najważniejszych osiągnięć, istotnych dla procesu habilitacyjnego, przedstawiono poniżej:

- opracowanie aktywnego rezystora CMOS, który został wykorzystany jako rezystor linearyzujący charakterystyki przejściowe pary różnicowej tworzącej stopień wejściowy wzmacniacza transkonduktancyjnego, wzmacniacz transkonduktancyjny wykorzystujący zaproponowane rozwiązanie został zrealizowany w postaci układu scalonego w technologii $0,8\mu\text{m}$ CYE AMS CMOS a wyniki pomiarów są zgodne z przewidywaniami symulacyjnymi, publikacje [K1], [K2],
- współudział w opracowaniu metody linearyzacji wzmacniacza transkonduktancyjnego z wykorzystaniem sprzężenia w przód, w tej metodzie w miejsce jednej pary różnicowej stosowane są identyczne trzy pary wraz z rezystorem o rezystancji równej odwrotności transkonduktancji małosygnałowej pary, sposób połączenia par nie wymaga zwiększenia napięcia zasilającego i daje szerszy zakres liniowości kosztem zwiększonych szumów wzmacniacza, publikacja [JCR1],
- współudział w opracowaniu metody linearyzacji z wykorzystaniem ujemnego sprzężenia zwrotnego podawanego zwrotnie poprzez wzmacniacz napięciowy do jednego z wejść pary różnicowej, dzięki zastosowaniu wzmacniacza napięciowego rezystor zastosowany w metodzie nie musi mieć rezystancji równej dokładnie odwrotności transkonduktancji małosygnałowej pary, publikacja [K3],
- współudział w opracowaniu metody linearyzacji z wykorzystaniem sprzężenia zwrotnego podawanego na wyprowadzenia podłoża pary różnicowej, sygnał sprzężenia przechodzi przez wzmacniacz napięciowy zapewniający równocześnie odpowiednią polaryzację wyprowadzeń podłoża, możliwa jest łatwa realizacja wzmacniaczy wielowyjściowych, metoda została opatentowana w kraju [PAT1], złożony jest również wniosek patentowy [PAT2] dotyczący bliźniaczej metody linearyzującej, publikacja [JCR5],
- przedstawienie uniwersalnego opisu analitycznego pary różnicowej CMOS sterowanej równocześnie z wyprowadzeń bramek i podłoża, na podstawie tego opisu przedstawiono 4 możliwe konfiguracje pracy pary CMOS w której transkonduktancje bramek i podłoża są ze sobą łączone za pośrednictwem buforów z przesunięciem poziomu polaryzacji, metoda umożliwia zwiększenie zakresu liniowości kosztem zmniejszenia transkonduktancji wynikowej, publikacja [JCR4],
- opracowanie struktury prostego wzmacniacza prądowego przystosowanego od programowania współczynnika wzmocnienia prądowego i zasilanego niskim napięciem równym $1,2\text{V}$, publikacja [JCR6],
- przedstawienie metody programowania współczynnika transkonduktancyjnego wzmacniaczy OTA z wykorzystaniem przełączania rezystora w sprzężeniu zwrotnym, publikacja [K3],
- przedstawienie metody programowania współczynnika transkonduktancyjnego wzmacniaczy OTA z wykorzystaniem programowalnych luster prądowych, publikacja [JCR1],
- opracowanie wzmacniacza instrumentacyjnego z wykorzystaniem oryginalnych wielowyjściowych konwektorów prądowych drugiej generacji, wzmacniacz instrumentacyjny umożliwia programowanie trybu pracy stopnia wejściowego jako napięciowego lub prądowego, publikacja [JCR7],
- współudział w zaprojektowaniu prototypu FPGA układu typu SoC kontrolera węzła sieci sensorowej oraz, na jego podstawie, współpraca w wykonaniu projektu układu

scalonego ASIC UMC CMOS 130nm, habilitant opracował koncepcję i wykonał realizację układu do sprzętowej transformacji perspektywy, publikacje [JCR2], [JCR3],

- współdziałł w zaprojektowaniu prototypu FPGA i układu scalonego ASIC realizującego akcelerację kompresji strumienia video w standardzie H.264 w technologii UMC CMOS 90nm, publikacje [K4], [K5].

Habilitant w czasie przebiegu pracy zawodowej był projektantem lub współprojektantem ok. 10 wykonanych i zbadanych układów scalonych CMOS, zarówno analogowych jak i cyfrowych w technologiach 2 μ m, 1,2 μ m, 0,8 μ m, 130nm i 90nm. Habilitant uczestniczył jako wykonawca lub główny wykonawca w 8 projektach badawczych [G1] – [G8] i realizował projekty systemów elektronicznych za pomocą układów scalonych ASIC jak i w technice układów programowalnych FPGA.

Na podstawie posiadanych doświadczeń habilitant prowadzi obecnie dalsze prace badawcze dotyczące projektowania analogowych i cyfrowych układów scalonych CMOS w szczególności z uwzględnieniem możliwości ich programowania, wychodząc naprzeciw dzisiejszym wysokim wymaganiom w nowoczesnych technologiach realizacji układów scalonych CMOS.

2.7. Literatura

Książki i podręczniki akademickie:

- [B1] W.-K. Chen - editor, *The VLSI Handbook Second Edition*, CRC Press Taylor & Francis Group, II edition, 2007.
- [B2] T.-Y. Lo, C.-C. Hung, *IV CMOS Gm-C Filters Design and Applications*, Springer, Analog Circuit and Signal Processing, 2009.
- [B3] B. Razavi, *Design of Analog CMOS Integrated Circuits*, McGRAW-HILL Series in Electrical and Computer Engineering, 2001.
- [B4] R.L. Geiger, P. E. Allen, N. R. Strader, *VLSI design techniques for analog and digital circuits*, McGraw-Hill 1990.
- [B5] T. Deliyani, Y. Sun and J.K. Fidler, *Continuous-time Active Filter Design*, CRS Press, USA, 1999.
- [B6] S. Kozieł, S. Szczepański, *General Approach to Continuous-Time OTA-C Filters*, Wydawnictwa Komunikacji i Łączności, Warszawa, 2011.

Artykuły w czasopiśmie i na konferencjach tematycznych:

- [A1] B. Pankiewicz, M. Wójcikowski, S. Szczepański, Y. Sun, "A Field Programmable Analog Array for CMOS Continuous-Time OTA-C Filter Applications", *IEEE J. Solid-State Circuits*, Vol. 37, No. 2, February 2002, str. 125-136.
- [A2] M. Jankovec, M. Topic, „Analog circuit development system”, *The IEEE Region 8 EUROCON 2003, Computer as a Tool*.
- [A3] Y. Deng, S. Chakrabartty, G. Cauwenberghs, „Three-decade programmable fully differential linear OTA”, *Proceedings of the IEEE International Symposium on Circuits and Systems I, ISCAS'2004, Vancouver, Canada, 23–26 May, 2004*; str. 697–700.
- [A4] T. S. Hall, C. M. Twigg, P. Hasler, D. V. Anderson, „Developing large-scale field-programmable analog arrays”, *Proc. of 18th International Parallel and Distributed Processing Symposium, 2004*.

- [A5] T. Hall, C. Twigg, „Field-programmable analog arrays enable mixed-signal prototyping of embedded systems”, 48th Midwest Symposium on Circuits and Systems, 2005.
- [A6] J. Becker, F. Henrici, S. Trendelenburg, M. Ortmanns, Y. Manoli „A Field-Programmable Analog Array of 55 Digitally Tunable OTAs in a Hexagonal Lattice”, IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 43, NO. 12, str. 2759-2768, 2008.
- [A7] A. H. Madian, S. A. Mahmoud, A. M. Soliman, „Field programmable analog array based on CMOS CFOA and its application”, 15th IEEE International Conference on Electronics, Circuits and Systems, 2008. ICECS 2008.
- [A8] S. T. Dupuie and M. Ismail, „High frequency CMOS transconductors,” in Analogue IC Design: The Current-Mode Approach, C. Toumazou, F. J. Lidgey, and D. G. Haigh, Eds. London, England: Peter Peregrinus, 1990.
- [A9] E. Sanchez-Sinencio, J. Silva Martinez, „CMOS transconductance amplifiers, architectures and active filters: a tutorial”, IEE Proceedings—Circuits, Devices and Systems 2000, 147(1), str. 3-12.
- [A10] M. Pelgrom, A. Duinmaijer, A. Welbres, „Matching properties of MOS transistors”, IEEE Journal of Solid-State Circuits, vol.. 24, no. 5, October 1989.
- [A11] A. Guzinski, M. Bialko, JC. Matheau „Body-driven differential amplifier for application in continuous-time active C-filter”, Proceedings of the European Conference on Circuit Theory and Design (ECTD), Paris, France, 1987, str. 315–320.
- [A12] Filanovsky, I.M., Järvenhaara, J.K., Tchamov, N.T.: „On Design of Low-Voltage CMOS Current Amplifiers”, Proc. IEEE MWSCAS, str. 563 – 566 (2014).
- [A13] G. Di Catalo, G. Palumbo, and S. Stivala, „New CMOS current mirrors with improved high-frequency response”, Int. J. Circuit Theory and Applications, Vol. 21, str. 443-450, 1993.

Materiały dostępne na stronach WWW:

- [I1] <https://www.qualcomm.com/products/snapdragon/processors> strona domowa układów SoC firmy Qualcomm z serii Snapdragon, data dostępu 05.01.2017.
- [I2] <http://www.xilinx.com/products/silicon-devices/soc/zynq-7000.html> strona domowa układów SoC firmy Xilinx z rodziny Zynq-7000, data dostępu 05.01.2017.
- [I3] <https://www.altera.com/products/soc/portfolio/aria-10-soc/overview.html> strona domowa układów SoC firmy Altera z rodziny Arria 10 SoC, data dostępu 05.01.2017.
- [I4] <http://www.microsemi.com/products/fpga-soc/soc-fpga/smartfusion#overview> strona domowa układów z rodziny SmartFusion SoC FPGA firmy Microsemi, data dostępu 05.01.2017.
- [I5] <http://www.cypress.com/products/32-bit-arm-cortex-m-psoc> strona domowa układów PSoC firmy Cypress, data dostępu 05.01.2017.

2.8. Projekty badawcze, w których brał udział habilitant


- [G1] Projekt badawczy KBN Nr 8 S501 024 07 „Metody projektowania i realizacja układowa analogowych filtrów scalonych ASIC CMOS z automatyczną korekcją parametrów”, okres realizacji 1994-96, udział habilitanta: wykonawca.

- [G2] Projekt badawczy KBN nr 8T11B01114: "Metody projektowania i realizacji scalonych układów CMOS i BiCMOS w strukturach programowalnych", okres realizacji: 1998-1999, udział habilitanta: wykonawca.
- [G3] Projekt badawczy KBN Nr 8T11B 03716: „Projektowanie i realizacja układowa CMOS i BiCMOS analogowych bloków funkcjonalnych toru odbiornika telefonii komórkowej”, okres realizacji: 1999-2002, udział habilitanta: wykonawca.
- [G4] Umowa Nr 015459 z Intel Technology Poland, Nr ITP-TUG-2001/2002-2: "Quality of Service (QoS) Hardware Building Blocks: FPGA Implementation", realizacja w latach: 2001-2002, projekt badawczy dla firmy Intel, udział habilitanta: wykonawca.
- [G5] Umowa z Intel Technology Poland, Nr ITP-WETI-ASIC-R-2003-Q3: „CMOS ASIC Coprocessor”, realizacja w 2003r., projekt badawczy dla firmy Intel, – wykonawca.
- [G6] Projekt rozwojowy MNiSzW Nr R02-01401: "Projekt i realizacja zintegrowanych modułów sieci sensorowej w technologiach FPGA i ASIC do monitorowania środowiska i ruchu pojazdów w obszarach miejskich", realizacja w latach: 2006-2009, udział habilitanta: główny wykonawca.
- [G7] Projekt rozwojowy MNiSzW Nr O R00 0046 09: "Bezprzewodowy system bezpieczeństwa wykorzystujący inteligentne mikrouządzenia rozpoznawcze do przekazywania obrazu i dźwięku wewnątrz budynków", realizacja w latach: 2009-2011, konsorcjum: PG – Lider, RADMOR Gdynia, SiGarden, Gdańsk, udział habilitanta: wykonawca.
- [G8] Projekt rozwojowy MNiSzW Nr O R00000312: "Zintegrowany system fotografii laserowej do monitoringu otwartych przestrzeni i zapobieganiu zagrożeniom terrorystycznym", realizacja w latach: 2010-2012, konsorcjum PG, WAT – Lider, CTM Gdynia, Hardsoft Kraków), udział habilitanta: wykonawca.

2.9. Udzielone patenty lub zgłoszenia patentowe w których brał udział habilitant

- [PAT1] Patent: S. Szczepański, R. Piotrowski, B. Pankiewicz, S. Kozieł, „Wzmacniacz różnicowy o zmniejszonych zniekształceniach nieliniowych”, zgłoszenie patentowe nr P.392826, patent nr 218275 z dnia 02/11/2010.
- [PAT2] Zgłoszenie patentowe: B. Pankiewicz, M. Wójcikowski, S. Szczepański, „Wielowyjściowy transkonduktancyjny wzmacniacz różnicowy sterowany z podłoża o zmniejszonych zniekształceniach nieliniowych”, 01/2016, nr zgłoszenia PG 3/16.

Gdańsk, 20.01.2017 r.


dr inż. Bogdan Pankiewicz