

Gdańsk, 06.09.2017

dr inż. Waldemar Jendernalik
Politechnika Gdańska
Wydział Elektroniki, Telekomunikacji i Informatyki
Katedra Systemów Mikroelektronicznych
ul. Narutowicza 11/12
80-233 Gdańsk
tel. 58 347 18 64
e-mail: waldi@ue.eti.pg.gda.pl

Autoreferat

Wykształcenie, uzyskane stopnie i tytuły naukowe

1992-1997	Studia magisterskie na Wydziale Elektroniki, Telekomunikacji i Informatyki Politechniki Gdańskiej, specjalność Układy Elektroniczne
1997	Uzyskanie tytułu magistra inżyniera
1997-2001	Studia doktoranckie na Wydziale Elektroniki, Telekomunikacji i Informatyki Politechniki Gdańskiej, Katedra Układów Elektronicznych
2003	Studia Podyplomowe Pedagogiczne na Politechnice Gdańskiej
2006	Uzyskanie stopnia doktora nauk technicznych w zakresie elektroniki po obronie rozprawy „Projektowanie niskonapięciowych filtrów analogowych CMOS z kompresją przetwarzanych sygnałów” na Wydziale Elektroniki, Telekomunikacji i Informatyki Politechniki Gdańskiej

Doświadczenie zawodowe

2001-2006	Politechnika Gdańska, Wydział Elektroniki, Telekomunikacji i Informatyki, Zakład Układów Elektronicznych – asystent
2007-2016	Politechnika Gdańska, Wydział Elektroniki, Telekomunikacji i Informatyki, Katedra Systemów Mikroelektronicznych – adiunkt
od 01.01.2017	Politechnika Gdańska, Wydział Elektroniki, Telekomunikacji i Informatyki, Katedra Systemów Mikroelektronicznych – starszy wykładowca (do 30.09.2018)

Osiągnięcie naukowe habilitanta przedstawione do oceny:

Zbiór publikacji powiązanych tematycznie.

Tytuł osiągnięcia naukowego:

„Realizacja sprzętowa sensorów obrazu z równoległym przetwarzaniem w strukturach planarnych układów scalonych CMOS.”

Lista publikacji powiązanych tematycznie

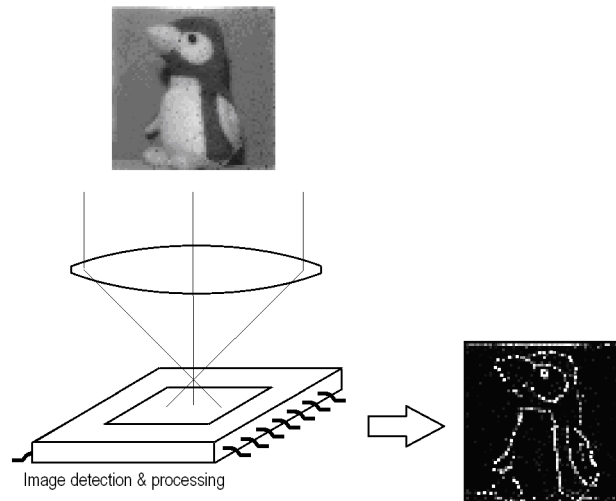
(Oświadczenia współautorów odnośnie indywidualnego wkładu w powstanie poszczególnych publikacji znajdują się w załączniku 2b).

	Autorzy, tytuł, nazwa czasopisma, wolumin, rok publikacji	Impact factor
[P1]	<p>W. Jendernalik, G. Blakiewicz, A. Handkiewicz, M. Melosik, „Analogue CMOS ASICs in Image Processing Systems”, <i>Metrology and Measurement Systems</i>, no. 4, pp. 613-622, 2013.</p> <p>Wkład habilitanta (40%):</p> <ul style="list-style-type: none"> - omówienie możliwości implementacji sensorów obrazu CMOS z wbudowanym analogowym przetwarzaniem w układach scalonych planarnych - omówienie właściwości różnych architektur sensorów obrazu CMOS z wbudowanym przetwarzaniem - udział w opracowaniu angielskiej wersji tekstu rozdziałów 1, 2 i 4 	0,609
[P2]	<p>W. Jendernalik, J. Jakusz, G. Blakiewicz, R. Piotrowski, „CMOS realisation of analogue processor for early vision processing”, <i>Bulletin of the Polish Academy of Sciences - Technical Sciences</i>, vol. 59, no. 2, pp. 141-147, 2011.</p> <p>Wkład habilitanta (30%):</p> <ul style="list-style-type: none"> - udział w opracowaniu i wykonaniu zestawu do testowania sensora wizyjnego (rozdział 4) - udział w pomiarach parametrów sensora obrazu i opracowanie uzyskanych wyników: pomiary parametrów fotoelektrycznych sensora - opracowanie rozdziałów 4.2 i 4.3 - częściowe przygotowanie tekstu w wersji angielskiej - opracowanie jednej z wersji procesora analogowego oraz propozycja modyfikacji sieci połączeń między procesorami i fotosensorami 	0,966
[P3]	<p>W. Jendernalik, G. Blakiewicz, J. Jakusz, S. Szczepański, „A nine-input 1.25 mW, 34 ns CMOS analog median filter for image processing in real time”, <i>Analog Integrated Circuits And Signal Processing</i>, vol. 76, no. 2, pp. 233-243, 2013.</p> <p>Wkład habilitanta (30%):</p> <ul style="list-style-type: none"> - opracowanie koncepcji (główny pomysłodawca) niskomocowego filtra medianowego do przetwarzania obrazów, wykonanie projektu schematu i udział w opracowaniu topografii - wykonanie analizy teoretycznej czasu opóźnienia i rozdzielczości filtra - udział w badaniach symulacyjnych - udział w pomiarach filtra i opracowaniu uzyskanych wyników - opracowanie polskiej wersji tekstu rozdziałów 3.1 i 4.2 - udział w przygotowaniu angielskiej wersji tekstu publikacji 	0,401
[P4]	<p>W. Jendernalik, G. Blakiewicz, J. Jakusz, S. Szczepański, R. Piotrowski, „An Analog Sub-Miliwatt CMOS Image Sensor With Pixel-Level Convolution Processing”, <i>IEEE Transactions on Circuits and Systems--I: Regular Papers</i>, vol. 60, no. 2, pp. 279-289, 2013.</p> <p>Wkład habilitanta (30%):</p> <ul style="list-style-type: none"> - opracowanie koncepcji (główny pomysłodawca) procesora analogowego (APE) do przetwarzania obrazów: opracowanie schematu elektrycznego i fragmentów topografii - przeprowadzenie badań symulacyjnych procesora (rozdziały II.A i III.D) - udział w pomiarach parametrów matrycy procesorów analogowych - analiza poboru mocy procesora analogowego: analiza teoretyczna i wykonanie pomiarów (rozdziały IV i VI.C) - opracowanie polskiej wersji tekstu rozdziału I - opracowanie rozdziału VI.D 	2,303
[P5]	<p>M. Kłosowski, W. Jendernalik, J. Jakusz, G. Blakiewicz, S. Szczepański, „A CMOS Pixel With Embedded ADC, Digital CDS and Gain Correction Capability for Massively Parallel Imaging Array”, <i>IEEE Transactions on Circuits and Systems--I: Regular Papers</i>, vol. 64, no. 1, pp. 38-49, 2017.</p> <p>Wkład habilitanta (30%):</p> <ul style="list-style-type: none"> - opracowanie głównej koncepcji sensora obrazu CMOS z masywnie równoległą konwersją A/C i redukcją szumu FPN zaimplementowaną na poziomie pikseli - udział w opracowaniu schematu i topografii piksela - udział w opracowaniu fotosensora typu MOS photogate - udział w analizie teoretycznej procesu filtracji szumu wizyjnego za pomocą skorelowanego podwójnego próbkowania - udział w pomiarach prototypowego sensora obrazu CMOS 	2,407 za rok 2016

	- opracowanie polskiej wersji tekstu rozdziałów I, II.A, II.B, II.E, II.F, III.A, IV.A oraz V - udział w opracowaniu polskiej wersji tekstu rozdziałów III.B-D oraz IV.B-J	
[P6]	G. Blakiewicz, J. Jakusz, W. Jendernalik , S. Szczepański, „Automatic tuning of a resonant circuit in wireless power supply systems for biomedical sensors”, <i>Bulletin of the Polish Academy of Sciences-Technical Sciences</i> , vol. 64, no. 3, pp. 641-646, 2016. Wkład habilitanta (25%): - zaproponowanie użycia konfiguracji z jedną cewką w odbiorniku i z wirującym zewnętrznym polem elektromagnetycznym do bezprzewodowej transmisji energii zasilającej do miniaturowych sensorów wizyjnych - udział w opracowaniu topografii prototypu scalonego odbiornika energii zasilającej - udział w pomiarach prototypu	1,156
[P7]	W. Jendernalik , J. Jakusz, G. Blakiewicz, M. Kłosowski, „A High-Efficient Low-Voltage Rectifier for CMOS Technology”, <i>Metrology and Measurement Systems</i> , vol. 23, no. 2, pp. 261-268, 2016. Wkład habilitanta (35%): - opracowanie głównej koncepcji (główny pomysłodawca) wysokosprawnego prostownika CMOS dla bezprzewodowej transmisji energii zasilającej - opracowanie schematu prostownika - wykonanie analizy teoretycznej sprawności prostownika - udział w badaniach symulacyjnych - udział w przygotowaniu polskiej wersji tekstu publikacji	1,598
[P8]	W. Jendernalik , „On analog comparators for CMOS digital pixel applications. A comparative study”, <i>Bulletin of the Polish Academy of Sciences - Technical Sciences</i> , vol. 64, no. 2, pp. 271-278, 2016. Wkład habilitanta (100%): Przeprowadzenie analiz wpływu elementów sensora obrazu CMOS na szum FPN. Przeprowadzenie analizy porównawczej dwóch komparatorów analogowych pod kątem implementacji w pikselu CMOS. Opracowanie formuł pozwalających przewidzieć FPN na podstawie nieidealności komparatorów analogowych. Przeprowadzenie badań symulacyjnych. Opracowanie tekstu publikacji.	1,156
[P9]	W. Jendernalik , „An ultra-low-energy analog comparator for A/D converters in CMOS image sensors”, <i>Circuits, Systems, and Signal Processing</i> , Open Access, August 2017, DOI 10.1007/s00034-017-0630-6. Wkład habilitanta (100%): Omówienie zagadnienia poboru mocy w masywnie równoległych sensorach obrazu CMOS. Opracowanie koncepcji ultra niskomocowego komparatora analogowego. Przeprowadzenie analiz teoretycznych, symulacji i optymalizacji układu. Porównanie z rozwiązaniami dotychczasowymi. Opracowanie tekstu publikacji.	1,694 za rok 2016
	Suma IF	12,29

1. Wprowadzenie do tematyki badań habilitanta [P1]

Habilitant obronił rozprawę doktorską w 2006 roku pt. „Projektowanie niskonapięciowych filtrów analogowych CMOS z kompresją przetwarzanych sygnałów” na Wydziale Elektroniki, Telekomunikacji i Informatyki Politechniki Gdańskiej. W okresie od obrony rozprawy doktorskiej do chwili obecnej, habilitant uczestniczył w 3 projektach badawczych i rozwojowych [G1-G3]. Wyniki badań, w których uczestniczył habilitant, zostały opisane w 30 publikacjach w czasopismach i materiałach konferencyjnych, z czego 6 publikacji habilitant opracował samodzielnie. Z tego dorobku wybrano 9 publikacji z czasopism JCR [P1]-[P9], które są przedstawione Centralnej Komisji do oceny jako osiągnięcie naukowe pod wspólnym tytułem „Realizacja sprzętowa sensorów obrazu z równoległym przetwarzaniem w strukturach planarnych układów scalonych CMOS.” Publikacje [P1]-[P9] są powiązane tematycznie i dotyczą realizacji w technologii CMOS sensorów obrazu z wbudowanym sprzętowym przetwarzaniem o architekturze planarnej, jak również zagadnień powiązanych z tymi sensorami takich jak: bezprzewodowe zasilanie sensorów oraz minimalizacja powierzchni i poboru energii kluczowych pod tym względem



Rys. 1 Układ scalony z wbudowanym przetwarzaniem obrazu (*vision chip*).

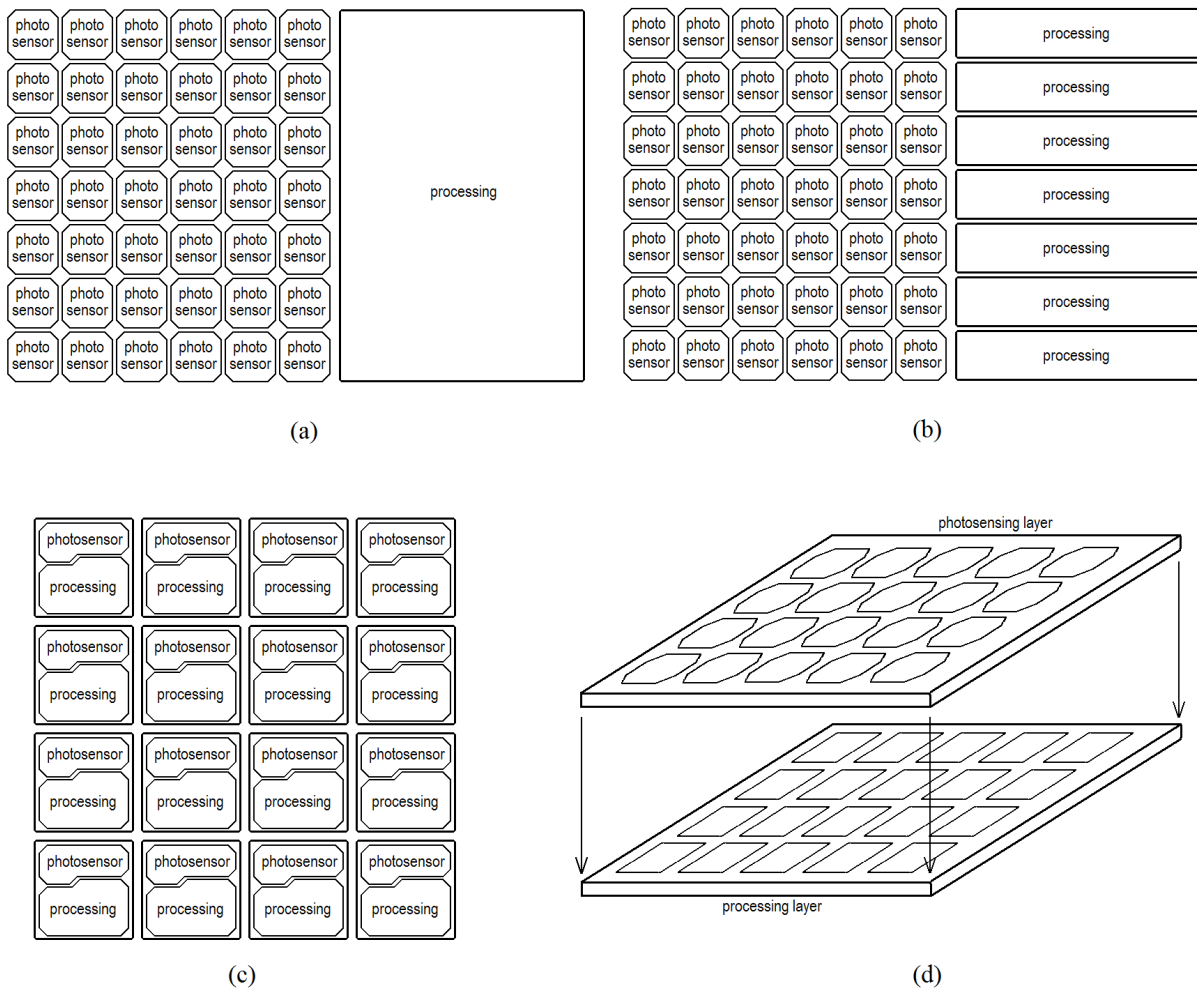
elementów sensora. Publikacje [P1]-[P9] nie nawiązują do tematyki doktoratu, poza ogólnym zagadnieniem układów scalonych CMOS.

Sensory obrazu CMOS z wbudowanym przetwarzaniem są określane jako *vision chips* [P1], [1], [2], dla odróżnienia od klasycznych sensorów określanymi skrótem CIS (od ang. CMOS image sensor) [3], [4]. Klasyczny CIS jest tylko przetwornikiem, który zamienia obraz optyczny na obraz elektryczny. *Vision chip* zamienia obraz optyczny na elektryczny i jednocześnie wykonuje algorytmy przetwarzania obrazu w czasie rzeczywistym, jak pokazano w uproszczeniu na rys. 1.

Sensor obrazu z wbudowanym przetwarzaniem, *vision chip*, jest alternatywą dla systemu wideo składającego się z kamery i komputera. Można wymienić dwie podstawowe korzyści z zastosowania *vision chipa*. Pierwsza korzyść jest to miniaturyzacja komputerowego systemu video, gdyż kamera i komputer są zastąpione przez jeden układ scalony o relatywnie niewielkich rozmiarach. Druga korzyść polega na zwiększeniu wydajności przetwarzania obrazu i poprawie stosunku mocy obliczeniowej do mocy pobieranej z zasilania. Wydajność obliczeniową *vision chipy* zawdzięczają wbudowanym specjalizowanym procesorom wizyjnym o architekturze równoległej. Na przykład *vision chip* z pracy [5] zawiera matrycę światłoczułą o rozdzielczości 128 na 128 pikseli oraz 16 tysięcy specjalizowanych procesorów analogowych. Wydajność obliczeniowa tego układu wynosi 20 GIPS przy poborze mocy 250 mW, co jest wynikiem znacznie lepszym od procesorów szeregowych typu RISC [6].

Vision chipy realizują wstępne przetwarzanie obrazu (ang. *early vision processing*), którego celem jest wydobycie z obrazu informacji istotnych dla dalszej bardziej zaawansowanej obróbki. Dzięki wstępnemu przetworzeniu ilość informacji jaka wychodzi z kamery do głównej jednostki obliczeniowej (komputera) jest wydatnie zmniejszona. Ma to znaczenie na przykład w bezprzewodowych sieciach sensorowych, gdyż pozwala na zredukowanie poboru mocy związanej z transmisją radiową informacji wizyjnej. Małe rozmiary, wydajność przetwarzania oraz niski pobór mocy czynią *vision chipy* atrakcyjnymi dla zastosowań w urządzeniach autonomicznych zasilanych z baterii o relatywnie niewielkiej pojemności, takich jak implanty biomedyczne oraz różnego rodzaju sensory znajdujące się w miejscach trudno dostępnych.

Biorąc pod uwagę szybkość przetwarzania, *vision chipy* można podzielić na dwie kategorie. Do pierwszej kategorii należą układy o dużej szybkości, kilku-kilkunastu tysięcy ramek na sekundę, które mogą mieć zastosowanie na przykład w pojazdach autonomicznych. Do drugiej kategorii należą układy o małej szybkości przetwarzania, od kilku do



Rys. 2 Architektury sensorów obrazu z wbudowanym przetwarzaniem: (a) szeregową planarną, (b) semi-równoległą planarną, (c) w pełni równoległą planarną, (d) w pełni równoległą nieplanarną (wielowarstwową).

kilkudziesięciu ramek na sekundę, ale o bardzo niskim poborze mocy (poniżej 1 mW). Te ostatnie mogą mieć zastosowanie m.in. w sieciach monitoringu lub w miniaturowych urządzeniach medycznych takich jak elektroniczne kapsuły endoskopowe. Badania prowadzone przez habilitanta dotyczyły vision chipów z obu kategorii, charakteryzujących się różną szybkością przetwarzania od 50 do 3000 ramek na sekundę.

Vision chipy można także podzielić ze względu na architekturę wewnętrzną [P1]. Na rys. 2(a)-(d) pokazano cztery podstawowe architektury: szeregową z pojedynczym procesorem (rys. 2(a)), semi-równoległą z procesorami wierszy (rys. 2(b)), w pełni równoległą z procesorami piksela (rys. 2(c)) oraz w pełni równoległą wielowarstwową (rys. 2(d)). Architektury z rys. 2 (a), (b) i (c) mogą być zrealizowane w planarnych układach scalonych CMOS. W tym przypadku matryce fotosensorów oraz procesory wizyjne są wykonane na wspólnym krzemowym podłożu. Architektura z rys. 2(d) może być zrealizowana w nieplanarnych (wielowarstwowym, 3D [11]-[14]) strukturach układów scalonych. Tam matryca fotosensorów oraz procesory są wykonane na oddzielnych podłożach.

Badania prowadzone przez habilitanta dotyczyły układów o architekturach z rys. 2 (b) i (c). Warto w tym miejscu przytoczyć zalety i ograniczenia poszczególnych architektur i związane z tym wyzwania naukowe i konstrukcyjne [P1]. Ułatwi to naświetlenie szczególnego wkładu naukowego habilitanta w dziedzinę sensorów obrazu oraz ogólnego wkładu naukowego w dziedzinę nauk technicznych – elektronikę.

Vision chip o najprostszej architekturze z rys. 2(a) posiada jeden procesor wizyjny, który znajduje się poza matrycą fotosensorów. Paradoksalnie, w tym układzie można realizować algorytmy bardziej skomplikowane niż w pozostałych układach, gdyż rozmiary fizyczne procesora nie są ograniczone rozmiarami matrycy fotosensorów i można procesor wyposażyć w bogatsze zasoby. Sensory o takiej architekturze znalazły głównie zastosowanie do wspomaganie kompresji wideo typu mpeg i h.26x na etapie estymacji ruchu (motion estimation) oraz inter-predykcji [7-9], oraz do filtracji splotowej obrazu w oknach o dużych rozmiarach ponad 100 na 100 pikseli w czasie rzeczywistym [10]. Wadą architektury z rys. 2(a) jest bardzo złożona sieć połączeń i skomplikowany sposób adresowania sygnałów. Z tych powodów implementacja równoległego przetwarzania wszystkich pikseli obrazu jest niepraktyczna.

Vision chip o najbardziej skomplikowanej, nieplanarnej, architekturze z rys. 2(d) zawiera matrycę fotosensorów oraz wiele procesorów wizyjnych również ułożonych w matrycę (tablicę). Matryce fotosensorów i procesorów są fizycznie rozdzielone, a przepływ informacji między nimi odbywa się w sposób masywnie równoległy, podobnie jak w sieciach neuronowych [11], [12]. Zaletą tej struktury jest, po pierwsze, wydajność przetwarzania obrazu oraz, po drugie, możliwość wyprodukowania fotosensorów i procesorów w optymalnych dla nich technologiach. Fotosensory można wykonać w droższej technologii CMOS o niskich prądach upływu i wysokiej jakości elementów optoelektronicznych. Z kolei procesory można zrealizować w tańszej technologii CMOS o większych prądach upływu, ale o większej gęstości upakowania. Wadą układu z rys. 2(d) jest awaryjność oraz wysoka cena w porównaniu do pozostałych rozwiązań. Wynika to z trudności technologicznych przy wykonywaniu gęstych połączeń (przelotek, kulek) między układami scalonymi.

Vision chipy o architekturach z rys. 2(b) i (c) stanowią kompromis jeśli chodzi o cenę, wydajność przetwarzania i jakość obrazu. Układy z rys. 2(c) charakteryzują się wydajnością przetwarzania niewiele mniejszą od tych z rys. 2(d), przy kilkukrotnie niższej cenie [15]-[18]. Z kolei układ z rys. 2(b) zawiera procesory o mniejszych zasobach jak w układ z rys. 2(a), ale może on osiągnąć znacznie większą szybkość przetwarzania [19], [20].

Zbiór publikacji [P1-P9], stanowiący osiągnięcie naukowe habilitanta, opisuje rezultaty badań nad vision chipami o architekturach z rys. 2(b) i (c). Realizacje tych układów wiązały się z szeregiem problemów naukowych i konstrukcyjnych, a sposoby ich rozwiązania stanowią wkład habilitanta w rozwój dziedziny elektroniki. Do tych problemów można zaliczyć:

- opracowanie w standardowej technologii CMOS fotosensorów, które charakteryzują się odpowiednio małą powierzchnią i czułością do zastosowań w vision chipach,
- opracowanie nowych rozwiązań procesorów specjalizowanych o małej powierzchni i o zasobach wystarczających do realizacji niskopoziomowych algorytmów przetwarzania (low-level image processing),
- optymalizacja poboru mocy i szybkości procesorów,
- opracowanie w układzie planarnym efektywnej sieci połączeń między fotosensorymi a procesorami, oraz sieci wzajemnych połączeń między procesorami,
- opracowanie odpowiednich układów odczytu (readout),
- opracowanie systemu transmisji mocy zasilającej do vision chipów znajdujących się w trudno dostępnych miejscach (np. w implantach biomedycznych),
- opracowanie układów redukcji szumu wizyjnego typu fixed pattern noise,
- analiza i optymalizacja poboru mocy kluczowych pod tym względem elementów analogowych w vision chipach.

2. Prace badawcze nad sensorem obrazu z przetwarzaniem semi-równoległym [P2], [P3]

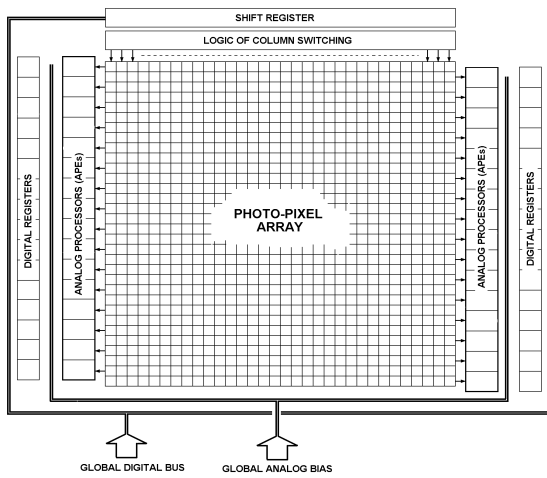
Opracowanie architektury vision chipa.

Publikacje [P2] i [P3] opisują rezultaty badań, które były realizowane w projekcie [G3] i których głównym celem było opracowanie w technologii CMOS vision chipa o dużej szybkości przetwarzania do 2000 ramek na sekundę (fps) przeznaczonego do systemów wideo do nadzoru obiektami lub kierowania pojazdami. W tych zastosowaniach wysoka rozdzielczość i dynamika obrazu mają drugorzędne znaczenie, dlatego vision chip może być zrealizowany w taniej standardowej technologii CMOS. Najważniejsza jest wydajność przetwarzania, gdyż przetwarzanie w czasie rzeczywistym obrazu nawet o małej rozdzielczości charakteryzuje się dużą złożonością obliczeniową. Na przykład w trakcie filtracji splotowej obrazu o rozdzielczości 128×128 pikseli z szybkością 1000 fps, należy wykonać w ciągu 1 sekundy 148 mln mnożeń i 132 mln dodawań, zakładając filtrację w oknach 3×3 piksele. Niskopoziomowe algorytmy przetwarzania obrazu takie jak filtracja splotowa, szkieletyzacja, erozja, dylatacja, wymagają implementacji następujących operacji matematycznych: dodawanie, odejmowanie, mnożenie (lub dzielenie) czteroćwiartkowe, porównanie oraz zapamiętanie próbki sygnału. Habilitant zaproponował, aby operacje zaimplementować w układach analogowych, gdyż zajmują one mniejszą powierzchnię i zużywają mniejszą moc niż ich cyfrowe odpowiedniki [P2]. Jeśli sygnały są reprezentowane przez prądy, wtedy dodawanie można łatwo zrealizować jako sumowanie prądów w węzle. Podobnie, odejmowanie można zrealizować jako sumowanie prądów po uprzednim odwróceniu znaku prądu w lustrze. Mnożenie można zrealizować za pomocą programowalnego lustra prądowego. Za implementacją operacji matematycznych w układach analogowych przemawia również fakt, że dokładność tych operacji nie musi być większa niż 5-6 bitów [6] dla realizacji algorytmów niskopoziomowego przetwarzania obrazu.

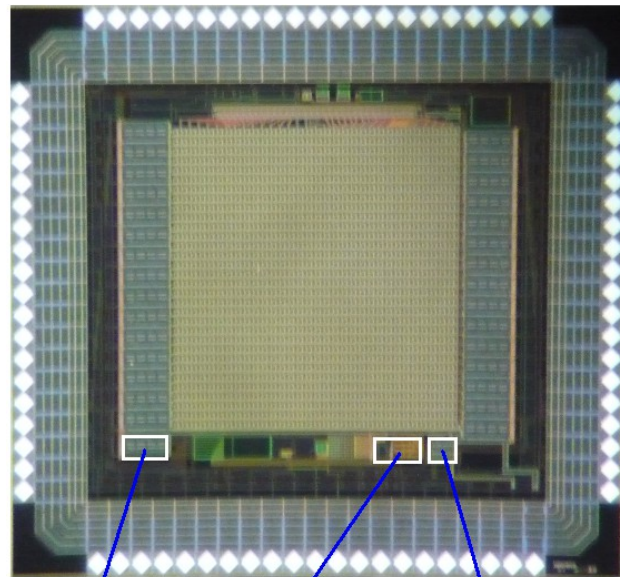
Przy wyborze architektury vision chipa główny nacisk położono na redukcję kosztów implementacji oraz poboru mocy ze źródła zasilania. Wykorzystano znaną koncepcję zestawu bardzo szybkich procesorów przetwarzających sekwencyjnie sygnały pochodzące z całego wiersza matrycy pikseli, pokazaną na rys. 2(b) [19], [20]. Jakkolwiek, habilitant zaproponował kilka modyfikacji tej koncepcji, które poprawiły wydajność przetwarzania. Modyfikacje polegały na: umieszczeniu procesorów po obu stronach matrycy pikseli, zastosowaniu sieci połączeń o większej przepustowości między pikselami a procesorami oraz zastosowaniu nowych wydajniejszych rozwiązań procesorów. Dodatkowo zaimplementowano opracowany przez habilitanta mechanizm uspienia procesorów, który pozwolił znacznie zredukować pobór mocy. Zaproponowana przez habilitanta koncepcja vision chipa zapewnia dużą elastyczność w zakresie jego zastosowań, pozwalając na skonfigurowanie go do aplikacji, w których wymagana jest duża szybkość rejestracji obrazów lub do zastosowań gdzie bardzo ważny jest niski pobór mocy.

Architekturę układu pokazano na rys. 3(a).

W centralnym miejscu znajduje się matryca pikseli światłoczułych (photo-pixel array) o rozdzielczości 32×32 piksele. Należy podkreślić, że opracowany układ scalony nie miał stanowić finalnego rozwiązania mającego zastosowanie praktyczne w sensie komercyjnym, co tłumaczy fakt użycia matrycy o niewielkiej rozdzielczości. Ze względu na ograniczony budżet, możliwe było wykonanie stosunkowo niewielkiego układu umożliwiającego sprawdzenie nowatorskich rozwiązań. Procesory (analogue processing elements APEs) rozmieszczone są po obu stronach matrycy światłoczułej (16 procesorów z lewej i 16 z prawej strony) i przetwarzają równolegle sygnał wizyjny z wszystkich (32) wierszy matrycy. Z założenia, algorytmy przetwarzania obrazu miały operować na oknach o maksymalnym rozmiarze 3×3 piksele, dlatego należało opracować specjalną sieć połączeń zapewniającą każdemu procesorowi dostęp do 9 pikseli, jak pokazano na rys. 4(a). Opracowanie takiej sieci nie jest zadaniem łatwym, gdyż każde okno jest w tym samym czasie współdzielone przez 3 procesory, ponadto okna „przesuwają się” po matrycy pikseli w trakcie przetwarzania ramki

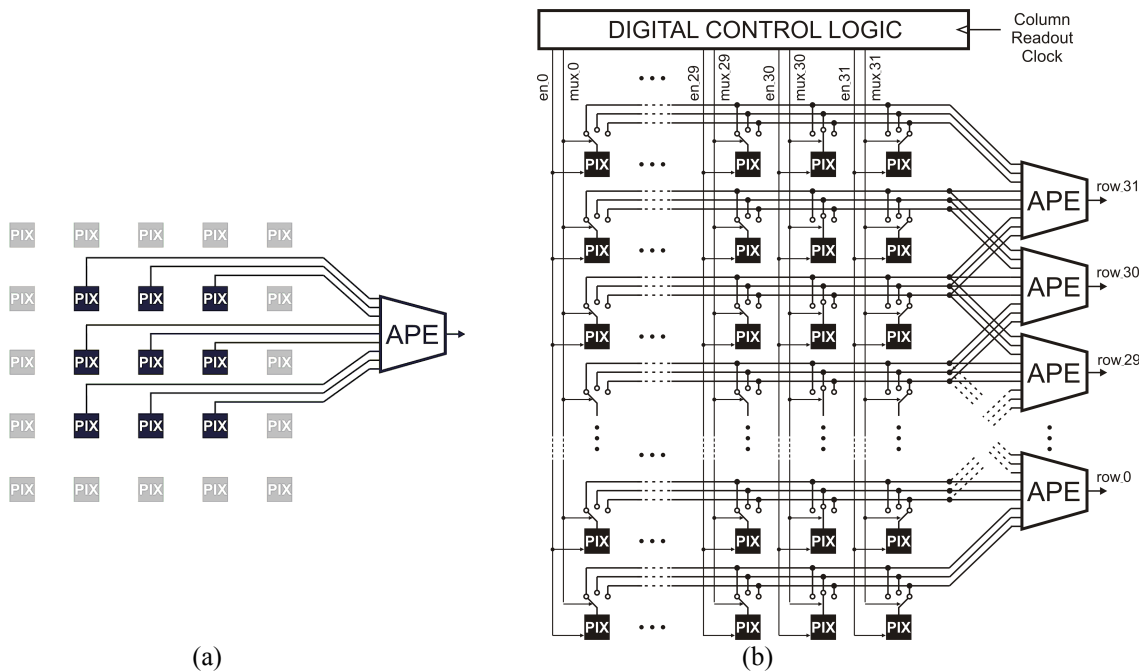


(a)



(b)

Rys. 3 Prototypowy *vision chip* z przetwarzaniem semi równoległym [P2]: (a) uproszczona architektura wewnętrzna, (b) mikrofotografia układu scalonego wyprodukowanego w technologii 0,35 μm .

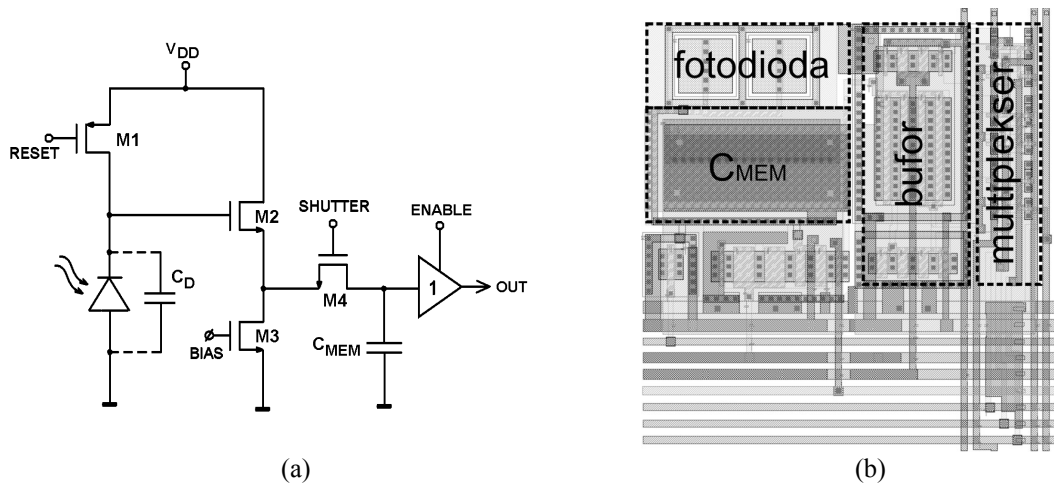


(a)

(b)

Rys. 4 Sposób łączenia pikseli z procesorami.

obrazu. Habilitant zaproponował rozwiązanie sieci połączeń w postaci multipleksowanych analogowych linii sygnałowych, jak pokazano na rys. 4(b). Multipleksowaniem linii steruje specjalny układ cyfrowy. Sieć połączeń umożliwia wykonanie jednej operacji (np. splot) w oknie 3×3 w czasie jednego cyklu zegara. Czas potrzebny na wykonanie tej operacji jest stały i niezależny od wartości współczynników okna. Jest to duża zaleta w porównaniu do innych realizacji prezentowanych w literaturze opierających się na sekwencyjnym przetwarzaniu wymagającym kilku cykli zegarowych [6], [19], [20].



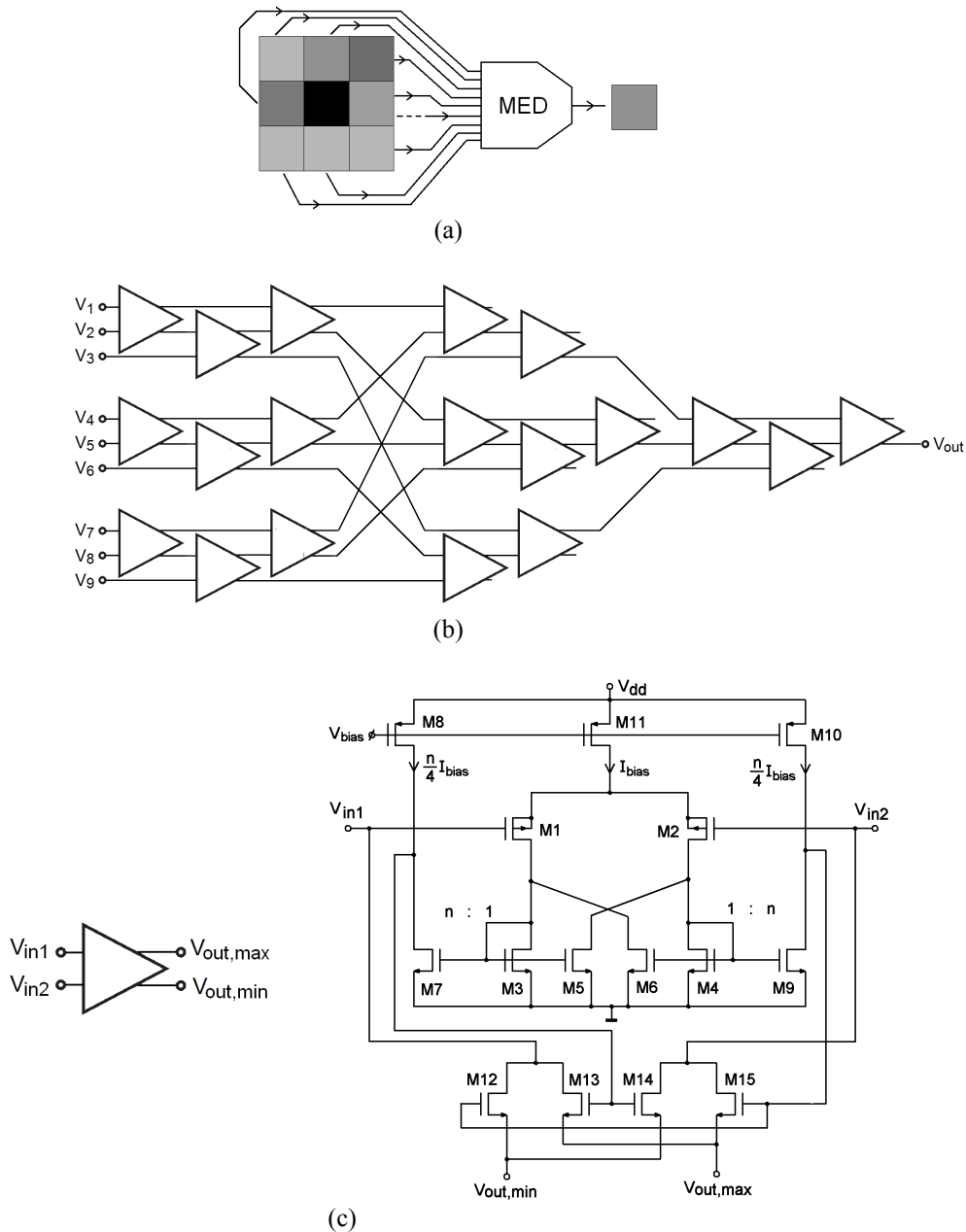
Rys. 5 Fotopiksel: (a) schemat elektryczny, (b) topografia. Wymiary topografii $40\ \mu\text{m} \times 35\ \mu\text{m}$.

Topografia układu scalonego została zaprojektowana metodą *full-custom* zgodnie z technologią CMOS $0,35\ \mu\text{m}$ AMS (austriamicrosystems) $3.3\ \text{V}$ z 4 warstwami metalu. Prototyp został wyprodukowany w wytwórni Fraunhofer. Fotografiją układu scalonego pokazano na rys. 3(b). Ma on wymiary $2,8\ \text{mm} \times 2,6\ \text{mm}$ i zawiera 60815 tranzystorów. Na fotografii widoczne są główne elementy vision chipa: matryca fotopikseli, procesory ulokowane po obu stronach matrycy oraz niektóre cyfrowe układy sterujące. Dodatkowo, wyróżniono fragmenty topografii zawierające różne warianty procesorów analogowych: wariant I o rozmiarze $98\ \mu\text{m} \times 220\ \mu\text{m}$, wariant II o rozmiarze $105\ \mu\text{m} \times 210\ \mu\text{m}$ i wariant III o rozmiarze $105\ \mu\text{m} \times 135\ \mu\text{m}$. Wariant I jest procesorem splotowym takim jakie umieszczono po obu stronach matrycy fotopikseli. Nie będzie on szczegółowo omawiany, gdyż nie został opracowany przez habilitanta. Szczegóły dotyczące jego budowy i parametrów można znaleźć w publikacjach [19], [20], [P2]. Warianty II i III zostały opracowane przez habilitanta. Wariant II nie został uruchomiony, najprawdopodobniej z powodu błędu maski układu scalonego. Procesor w wariacie III realizuje filtrację medianową. Charakteryzuje się on krótkim czasem przetwarzania ($34\ \text{ns}$) i niskim poborem mocy ($1,25\ \text{mW}$). Układ został szczegółowo opisany w publikacji [P3].

W pierwszej kolejności zostaną omówione wyniki badań habilitanta na matrycą fotopikseli, a następnie nad procesorem medianowym.

Opracowanie matrycy fotopikseli.

Na potrzeby vision chipa należało opracować specjalną matrycę fotopikseli, która charakteryzuje się dużą szybkością do $2000\ \text{fps}$ konwersji sygnału optycznego na elektryczny oraz brakiem zniekształceń *skew image* obiektów szybko poruszających się. Na rys. 5 pokazano schemat i topografię pojedynczego fotopiksela opracowanej matrycy. Układ składa się z 22 tranzystorów i posiada wymiary $40\ \mu\text{m} \times 35\ \mu\text{m}$. Przetwornik światło-napięcie stanowi fotodioda w trybie integracji (ang. integration-mode photodiode), która jest buforowana przez wzmacniacz M2. Taka konfiguracja piksela charakteryzuje się niskim poziomem szumu. Dla oświetlenia o natężeniu $500\text{-}1000\ \text{lux}$ ów czas integracji fotonów wynosi $10\text{-}20\ \mu\text{s}$. Habilitant zastosował globalną elektroniczną migawkę (shutter), która eliminuje zniekształcenia *skew image*. Napięcie z fotodiody jest próbkowane przez migawkę (klucz MOS M4) i jest zapamiętane na kondensatorze C_{MEM} . Zmiana czasu otwarcia migawki (tj. czasu otwarcia klucza M4) pozwala na dostosowanie się do różnych warunków oświetlenia. Bufor o wzmacnieniu jednostkowym zapewnia niedestrukcyjny odczyt i wysterowanie linii wiersza. Ponadto, habilitant zaproponował, aby w celu ograniczenia poboru mocy, prąd drenu M3 był ograniczany do zera po zamknięciu klucza migawki M4,



Rys. 6 Filtr medianowy: (a) podłączenie do pikseli, (b) schemat blokowy, (c) symbol i schemat sortera.

natomiast bufor wyjściowy był aktywowany tylko na czas odczytu danych z wybranej kolumny.

Opracowanie procesora medianowego [P3].

Zaprojektowany przez habilitanta wariant III procesora (rys. 3(b)) realizuje dwuwymiarową filtrację medianową, która usuwa wysokoczęstotliwościowy szum impulsowy w obrazie. Sposób realizacji tej filtracji w oknach 3×3 piksele pokazano w uproszczeniu na rys. 6(a). Centralny piksel jest wyraźnie ciemniejszy od pozostałych na skutek zakłóceń lub uszkodzenia i wymaga rekonstrukcji. Procesor mediany (MED) odtwarza wartość piksela na podstawie wartości pikseli z otoczenia. Filtracja całej ramki obrazu charakteryzuje się dużą złożonością numeryczną, gdyż wymaga wykonania dużej liczby porównań wartości pikseli. Na przykład filtracja ramki o wielkości 128×128 pikseli z szybkością 1000 fps wymaga wykonania ponad 300 mln porównań w ciągu 1 sekundy. Z tego powodu korzystniejsze są rozwiązania analogowe, które zajmują mniejszą powierzchnię i

pobierają mniejszą moc w porównaniu do rozwiązań cyfrowych. Najlepsze rezultaty pod względem szybkości przetwarzania osiągają analogowe filtry medianowe o strukturze wielowarstwowej podobnej do sieci neuronowej. W literaturze znane są dwie takie realizacje CMOS [23], [24]. Wykorzystują one komparatory i lustra prądowe, które wprowadzają kumulatywny błąd do przetwarzanego sygnału. Obniżenie tych błędów wymaga użycia tranzystorów o dużych powierzchniach, dlatego znane rozwiązania [23], [24] są nieodpowiednie do zastosowań w vision chipach.

Habilitant zaproponował nowatorskie rozwiązanie filtru medianowego, którego błąd przetwarzania nie zależy od złożoności układowej [P3]. Ponadto rozwiązanie to jest efektywne pod względem powierzchni topografii i poboru mocy, dzięki czemu jest odpowiednie do zastosowań w vision chipach.

Opracowany przez habilitanta filtr składa się z 19 analogowych układów sortujących (sorterów) połączonych w sieć, która wyznacza wartość środkową (medianę) spośród dziewięciu napięć wejściowych $V_1 \dots V_9$. Uproszczony schemat filtru pokazano na rys. 6(b). Sygnały wejściowe propagowane są tylko przez klucze elektroniczne MOS, dzięki czemu do wyjścia V_{out} trafia dokładna kopia jednego z wejść $V_1 \dots V_9$. Rozdzielczość filtru jest niezależna od jego złożoności układowej tj. od liczby wejść, liczby sorterów i warstw. Jest ona wyznaczona przez rozdzielczość sorterów, którą można przewidzieć teoretycznie na podstawie parametrów technologicznych tranzystorów MOS. Zgodnie z analizami przeprowadzonymi przy współdziałaniu habilitanta, rozdzielczość wejściową (V_{os}) sortera z rys. 6(c) można zapisać następującym wzorem:

$$V_{OS}^2 = \left(\frac{A_{V_{TP}MOS}}{\sqrt{WL}} \right)_{1,2}^2 + 2 \frac{K_{PN}}{K_{PP}} \left(\frac{L}{W} \right)_{1,2} \left(\frac{A_{V_{TN}MOS}}{L} \right)_{3,4}^2 \quad (1)$$

gdzie poszczególne symbole oznaczają parametry technologiczne tranzystorów MOS. Przewidywana na podstawie (1) wartość V_{os} wynosi od 3 mV do 14 mV (1 sigma) dla technologii CMOS 0,35 μm [42]. Wyniki pomiarowe potwierdziły słuszność przewidywań teoretycznych. Pomierzona rozdzielczość filtru wyniosła 10 mV (7 bitów), co jest wartością wyższą od dokładności wymaganej dla procesorów vision chipa (5-6 bitów).

Opracowany przez habilitanta filtr [P3] charakteryzuje się także krótszym czasem przetwarzania w porównaniu do znanych rozwiązań [23]-[27], ponieważ nie zawiera w swojej strukturze pętli ujemnego sprzężenia zwrotnego, które bez kompensacji częstotliwościowej prowadzi do niestabilności. Czas przetwarzania ($t_{\text{delay,med}}$) układu z rys. 6(b) jest ograniczony przez czas propagacji sygnału przez kolejne warstwy sorterów. Wynosi on:

$$t_{\text{delay,med}} = 9 \cdot t_{\text{delay,comp}} \quad (2)$$

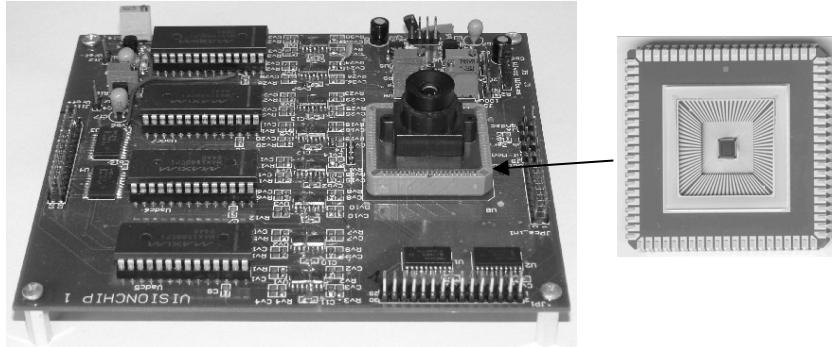
gdzie $t_{\text{delay,comp}}$ jest to czas propagacji pojedynczego sortera. Zgodnie z analizami przeprowadzonymi przez habilitanta, ten czas jest określony wzorem:

$$t_{\text{delay,comp}} = C_{\Sigma D1} \left(2\mu_0 C_{OX} \left(\frac{W}{L} \right)_3 I_{\text{bias}} \right)^{-1/2} + C_{\Sigma D7} \frac{2V_{DD}}{nI_{\text{bias}}} \quad (3)$$

gdzie $C_{\Sigma D1}$ i $C_{\Sigma D7}$ są to sumaryczne pojemności odpowiednio w węźle drenu M1 i w węźle drenu M7. Przewidywany teoretycznie, na podstawie (2) i (3), czas przetwarzania filtru wynosi 50 ns. Pomiar wykazały, że czas ten jest krótszy i wynosi 34 ns. Pozwala to na przetwarzanie obrazu w czasie rzeczywistym z szybkością 1600 fps.

Testowanie prototypu vision chipa.

Vision chip testowano z użyciem opracowanego, przy współudziale habilitanta, systemu pomiarowego (rys. 7) zawierającego optykę, generatory sygnałów sterujących pracą vision chipa oraz układy rejestrujące i gromadzące dane. Uzyskane dane były interpretowane i wizualizowane z wykorzystaniem opracowanego specjalnego oprogramowania.

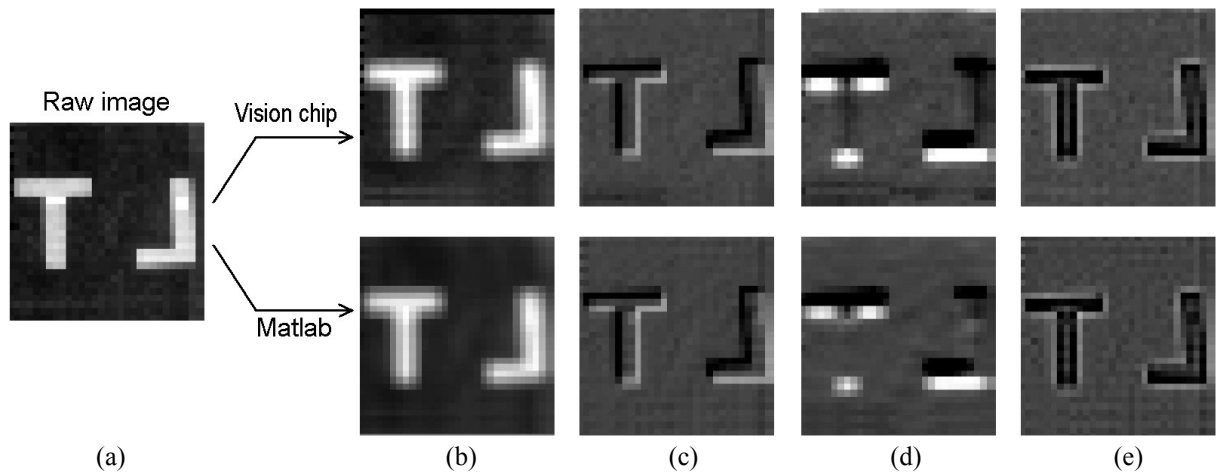


Rys. 7 Płytkę testową z optyką. Testowany vision chip znajduje się w podstawie PLCC84 pod obiektywem.

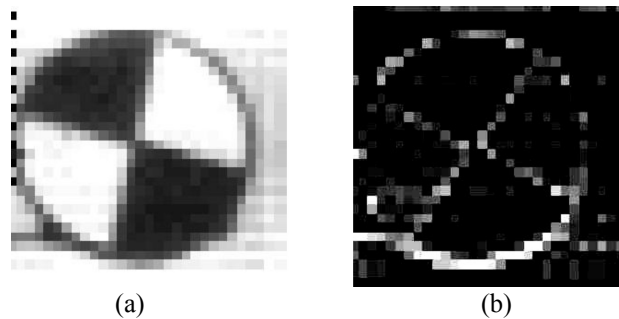
Przykłady przetwarzania obrazów typu wygładzanie, detekcja krawędzi i wyostanie pokazano na rys. 8. Obrazy w górnym wierszu rys. 8 pochodzą z vision chipa, natomiast obrazy w dolnym wierszu są rezultatem idealnego numerycznego przetwarzania w programie matematycznym. Różnice pomiędzy rezultatami eksperymentalnymi i idealnymi wynoszą od 1.9% do 2.9%. Przetwarzanie analogowe realizowane w vision chipie ma ograniczoną dokładność, jakkolwiek efekt końcowy jest zadowalający dla większości aplikacji komputerowego przetwarzania obrazów.

Na rys. 9 pokazano przykład przetwarzania w czasie rzeczywistym obrazu przedmiotu poruszającego się z dużą prędkością. Jest to biało-czarna tarcza o średnicy 10 cm wirująca z prędkością 2000 obr/min. Rys. 9(a) przedstawia obraz uzyskany bez przetwarzania, natomiast rys. 9(b) pokazuje rezultat algorytmu detekcji krawędzi realizowanego w czasie rzeczywistym.

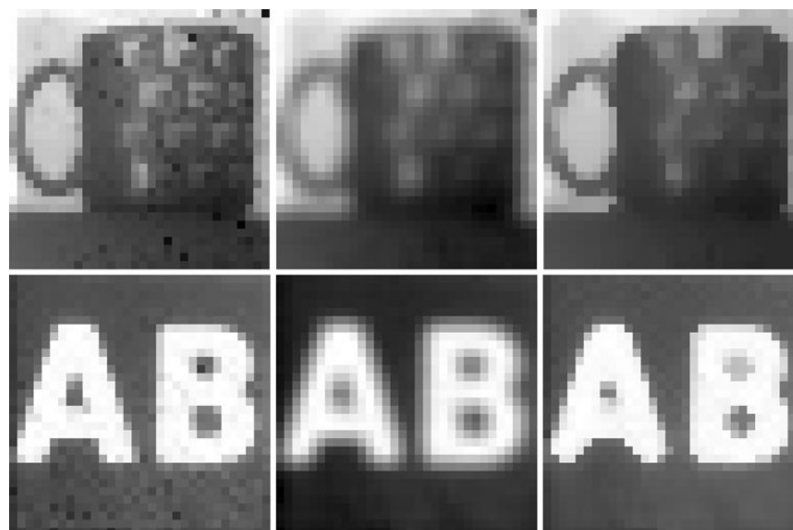
Opracowany przez habilitanta filtr medianowy [P3] również został przetestowany w prototypowym vision chipie z rys. 3. Ponieważ zaimplementowano tylko jeden egzemplarz procesora medianowego (wariant III na rys. 3(b)), dlatego obraz z matrycy fotopikseli mógł być przetwarzany w czasie rzeczywistym z szybkością tylko do 30 fps. Jakkolwiek, wystarczyło to w zupełności dla wykazania funkcjonalności nowatorskich rozwiązań. Na rys. 10 pokazano rezultaty przetwarzania obrazu. Lewa kolumna zawiera zaszumione obrazy uzyskane z matrycy fotopikseli. Prawa kolumna zawiera obrazy przetworzone przez procesor medianowy. Widać, że szum został usunięty z zachowaniem ostrych krawędzi. Dla porównania, w środkowej kolumnie pokazano efekt odszumiania za pomocą filtracji splotowej dolnoprzepustowej (realizowanej przez procesory wariant-I). Tu również szum został usunięty, ale bez zachowania ostrych krawędzi.



Rys. 8 Przykłady przetwarzania obrazów: (a) obraz surowy, (b) filtracja dolnoprzepustowa, (c) Roberts cross edge detection, (d) filtr Prewit'a – detekcja krawędzi poziomych, (e) filtracja górnoprzepustowa.



Rys. 9 Obrazy czarno-białego krążka obracającego się z szybkością 2000 obr/min uzyskane z prototypowego vision chipa z rys. 3: (a) obraz surowy, (b) detekcja krawędzi.



Rys. 10 Przykłady usuwania szumu za pomocą różnych filtrów. Lewa kolumna zawiera obrazy zaszumione. Środkowa i prawa kolumna zawierają obrazy po filtracji odpowiednio dolnoprzepustowej i medianowej.

3. Prace badawcze nad sensorem obrazu z przetwarzaniem w pełni równoległym. Realizacja analogowa [P4]

Opracowanie architektury vision chipa.

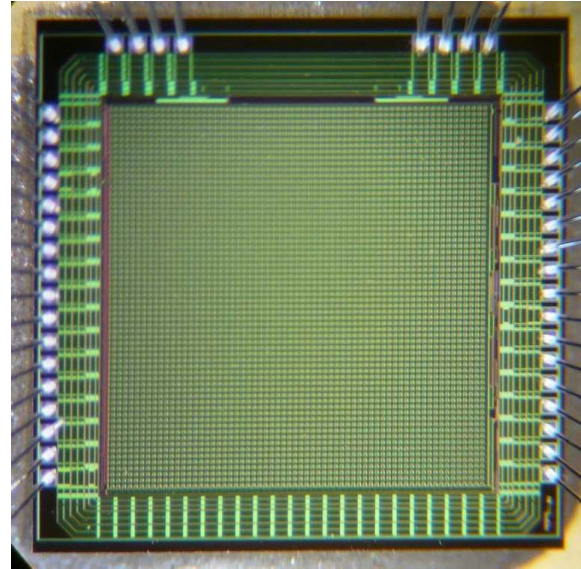
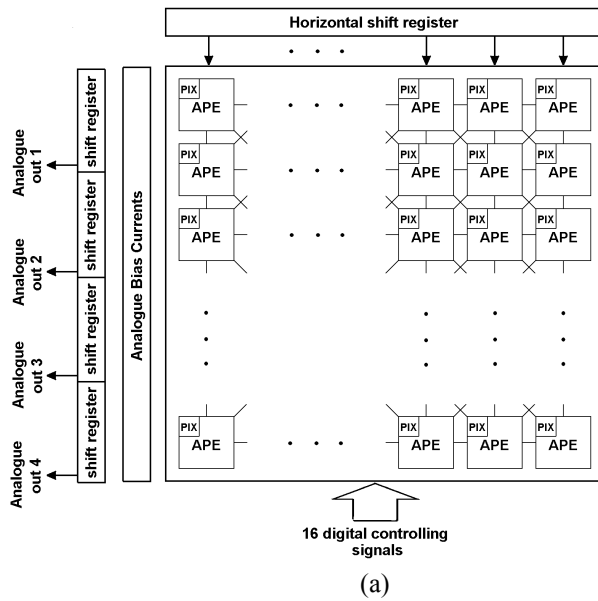
Kolejny etap badań habilitanta dotyczył sensorów obrazu z wbudowanym przetwarzaniem (vision chipów) o architekturze w pełni równoległej jak na rys. 2(c). Badania były finansowane z grantu [G3] i dotyczyły zarówno realizacji analogowych jak i cyfrowych [P4], [P5]. Najpierw zostaną omówione osiągnięcia habilitanta w zakresie realizacji analogowych [P4].

W vision chipie o architekturze w pełni równoległej (rys. 2(c)) każdy fotosensor posiada własny procesor określany jako procesor piksela lub APE. Ta architektura doskonale nadaje się do realizacji niskopoziomowych algorytmów przetwarzania obrazu np. filtracji splotowych. W trakcie wykonywania algorytmu, w danej chwili procesory wykonują taką samą operację na pikselach obrazu. Dzięki temu instrukcje sterujące procesorami (rozkazy) mogą być rozsyłane wspólną magistralą. Sieć łączącą fotosensory z procesorami jest znacznie prostsza niż w architekturze semi-równoległej z rys. 2(b) (zaimplementowanej w prototypowym vision chipie z rys. 3), gdyż sygnały z fotosensorów przesyłane są tylko na małe odległości do procesorów w sąsiednich pikselach. Prostsze połączenia skracają czas i zmniejszają energię związaną z dystrybucją sygnałów. Ponadto, w układzie na rys. 2(c) można łatwo zaimplementować wzajemną wymianę danych między sąsiednimi procesorami. W konsekwencji, architektura w pełni równoległa wydatnie zwiększa moc obliczeniową i umożliwia przetwarzanie obrazu w czasie rzeczywistym przy niskim poborze mocy. Przykłady implementacji tego rodzaju analogowych vision chipów w technologii CMOS można znaleźć w pracach [5], [6], [15]-[18].

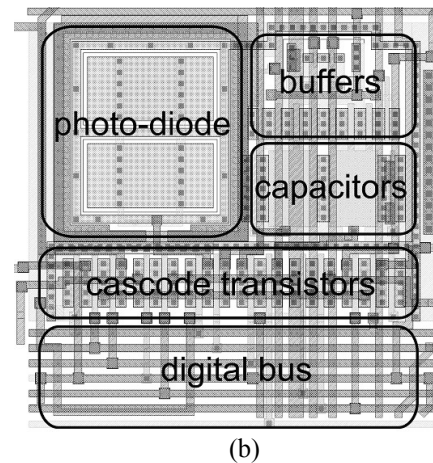
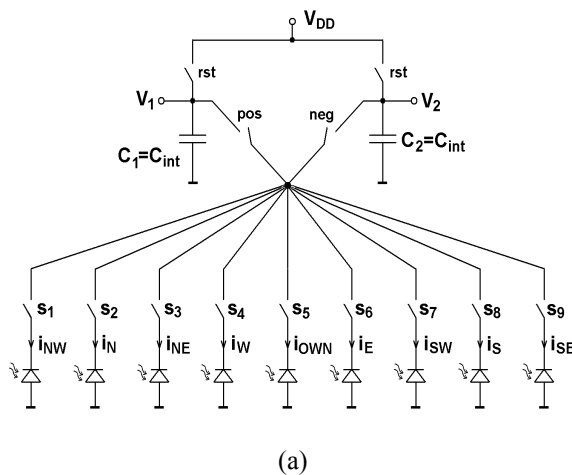
W pracy [P4] habilitant zaproponował innowacyjne rozwiązanie procesora piksela oraz ulepszoną sieć połączeń między procesorami. Na rys. 11(a) pokazano architekturę układu zaproponowaną przez habilitanta. Główną część stanowi matryca 64×64 wzajemnie połączonych pikseli z wbudowanym przetwarzaniem. Każdy piksel zawiera fotosensor (PIX) oraz procesor analogowy (APE) wykonujący operacje na własnym oraz na sąsiednich pikselach. Wszystkie APE wykonują równolegle te same globalne instrukcje, przy czym każdy APE operuje na własnych lokalnych danych, zgodnie z paradygmatem SIMD (skrót od ang. single instruction multiple data). Opracowana przez habilitanta sieć połączeń umożliwia procesorom przetwarzanie 8 sąsiednich pikseli. Jest ona innowacyjna w stosunku do znanych rozwiązań, w których APE może przetwarzać tylko 4 sąsiednie piksele.

Opracowanie procesora piksela.

Główny problem naukowo-konstrukcyjny polegał na znalezieniu takiego rozwiązania procesora analogowego (APE), które można by zaimplementować na powierzchni o rozmiarach kilkadziesiąt na kilkadziesiąt mikrometrów. Dotychczasowe rozwiązania procesorów pikseli opierają się na znanych technikach układów C-przełączanych, układów z przełączanymi prądami SI, układów ciągłych oraz na rozwiązaniach hybrydowych z wykorzystaniem tych technik. Żadna z technik, poza SI [5], nie daje rozwiązań efektywnych powierzchniowo. Habilitant zaproponował nowe podejście, które wymaga minimalnej liczby elementów aktywnych do realizacji przetwarzania obrazu. Pomysł został zainspirowany publikacją japońskiego naukowca M. Kyomasu z 1991 roku [28]. Opisuje ona realizację sensora obrazu CIS, w którym fotodiody są wykorzystane w nietypowy sposób jako źródła prądowe. Habilitant zauważył, że jeśli sygnał wizyjny będzie reprezentowany przez prądy fotodiod, wtedy można go przetwarzać przy użyciu jedynie kluczy i kondensatorów. Ideę takiego przetwarzania w przypadku filtracji splotowej ilustruje rys. 12. Układ wykonuje splot sygnału wizyjnego $i_{NW}, i_N, \dots, i_{SE}$ z macierzą:



Rys. 11 Prototypowy *vision chip* z przetwarzaniem w pełni równoległym [P4]: (a) uproszczona architektura wewnętrzna, (b) mikrofotografia układu scalonego wyprodukowanego w technologii 0,35 μm .



Rys. 12 Realizacja splotu za pomocą kluczy i kondensatorów: (a) schemat uproszczony, (b) topografia APE. Wymiary topografii 35 $\mu\text{m} \times 35 \mu\text{m}$. Dla przejrzystości usunięto z widoku metale 2-4.

$$\mathbf{M} = \frac{1}{\sum_{i=1}^9 a_i} \begin{bmatrix} a_1 & a_2 & a_3 \\ a_4 & a_5 & a_6 \\ a_7 & a_8 & a_9 \end{bmatrix} \quad (4)$$

gdzie $a_1 \dots a_9$ są to współczynniki macierzy (maski) splotu. Wartości współczynników $a_1 \dots a_9$ zależą od pojemności C_{int} i od czasów włączenia kluczy $S_1 \dots S_9$. W układzie praktycznym, pojemność może być precyzyjnie zrealizowana stosując odpowiednie techniki layoutu, natomiast czasy włączenia mogą być precyzyjnie kontrolowane przez sygnał zegarowy generowany przez układy PLL (phase locked loop generators) lub DDS (direct digital synthesis generators). Dodatkowo i ujemne wartości współczynników $a_1 \dots a_9$ uzyskuje się w

łatwy sposób dzięki zastosowaniu wyjścia różnicowego V_1-V_2 . Pobór mocy procesora z rys. 12 jest ekstremalnie niski. Energia potrzebna na wykonanie jednego splotu jest związana tylko z przeładowaniem pojemności $2C_{int}$, stąd średnia moc pobierana przez procesor wynosi:

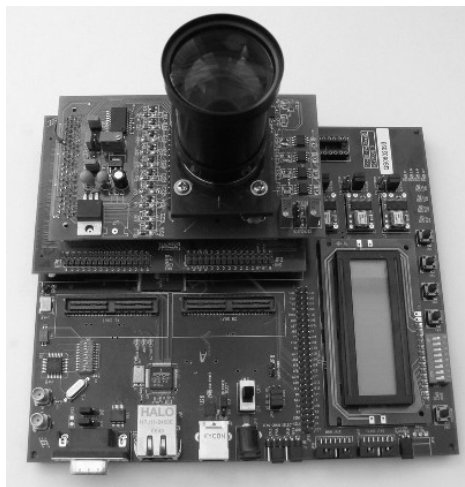
$$P_{proc} = 2C_{int} \cdot V_{DD}^2 \cdot f_{FPS} \quad (5)$$

gdzie f_{FPS} jest częstotliwością przetwarzania ramek obrazu. Przyjmując wartości $V_{DD} = 3,3$ V oraz $C_{int} = 100$ fF, moc pobierana przez procesor wynosi $P_{proc} = 2,2$ pJ $\cdot f_{FPS}$. Można łatwo obliczyć, że matryca o rozdzielczości VGA (640 \times 480) będzie pobierać moc około 700 μ W przy częstotliwości przetwarzania 1000 fps. Jest to relatywnie bardzo mała moc, biorąc pod uwagę fakt, że matryca wykonuje 2,7 mld mnożeń i 2,4 mld dodawań na sekundę.

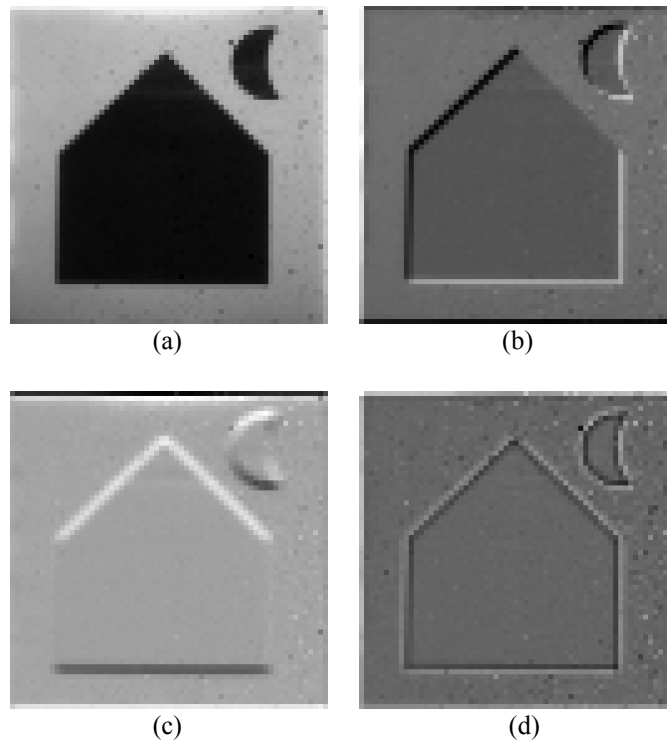
Testowanie prototypu vision chipa.

Fotografię prototypu vision chipa pokazano na rys. 11(b). Został on zaprojektowany metodą *full-custom* zgodnie ze standardową technologią CMOS 0,35 μ m autriamicrosystems z wysokorezystywnym podłożem (non-epi) i z 4 warstwami metalu. Powierzchnia układu wynosi 9,8 mm². Ze względu na wysokie koszty produkcji prototypu zaimplementowano matrycę o rozdzielczości 64 \times 64 piksele. Na fotografii (rys. 11(b)) można dostrzec pojedyncze piksele, których odstęp (*pixel pitch*) wynosi 35 μ m. Więcej szczegółów nie widać, gdyż struktura jest szczelnie zakryta warstwą metalu czwartego. Topografię pojedynczego piksela, zaprojektowaną w edytorze Cadence, pokazano na rys. 12(b). Zawiera ona 28 tranzystorów MOS i fotodiode. Szczegółowy schemat piksela jest zamieszczony w [P4].

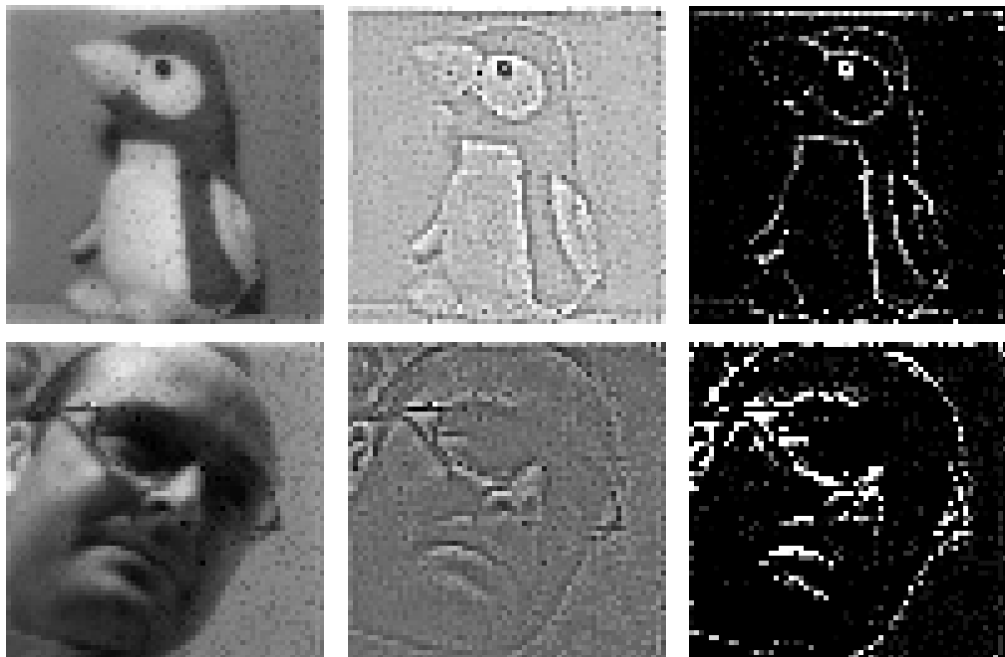
Do testów vision chipa opracowano, przy współdziałaniu habilitanta, specjalny system pomiarowy pokazany na rys. 13 [29]. Składa się on z optyki, prototypowej płytki z zamontowanym badanym układem scalony i niezbędnymi układami polaryzacji, platformy FPGA na układzie Virtex4 oraz oprogramowania do wizualizacji wyników na komputerze PC. Przykładowe rezultaty przetwarzania obrazu pokazano na rys. 14. Użyto obraz o nieskomplikowanym kształcie, aby uwidocznili skuteczność zaimplementowanych algorytmów: wykrywania krawędzi ukośnych (rys. 14(b)), wykrywania krawędzi poziomych (rys. 14(c)) oraz wykrywania wszystkich krawędzi (rys. 14(d)). Rezultaty przetwarzania obrazów o bardziej skomplikowanych kształtach pokazano na rys. 15. Na wszystkich obrazach widoczne są niejednorodne piksele, gdyż prototypowy vision chip nie był wyposażony w mechanizm redukcji szumu FPN (*fixed-pattern noise*).



Rys. 13 System do testowania masywnie równoległego vision chipa z rys. 11 [29].



Rys. 14 Przykłady przetwarzania obrazu: (a) obraz surowy, (b) detekcja krawędzi ukośnych Roberts'a, (c) detekcja krawędzi poziomych Prewitt'a, (d) detekcja wszystkich krawędzi Laplace'a.



Rys. 15 Obrazy surowe (lewa kolumna) oraz wynik detekcji wszystkich krawędzi Laplace'a (kolumna środkowa). Obrazy w prawej kolumnie uzyskano po korekcji kontrastu/jasności obrazów z kolumny środkowej.

Prototypowy vision chip z rys. 11 charakteryzuje się mniejszą szybkością przetwarzania (do 100 fps) od poprzedniego prototypu z rys. 3 (do 2000 fps). Ograniczenie szybkości wynika z małej czułości zaimplementowanych fotodiod, które wymagają dłuższego czasu naświetlania. Jednak pobór mocy układu z rys. 11 (0,28 mW) jest dużo niższym od układu z rys. 3 (82 mW). Ponadto, uzyskano lepszą jakość obrazu.

4. Prace badawcze nad sensorem obrazu z przetwarzaniem w pełni równoległym. Realizacja cyfrowa [P5]

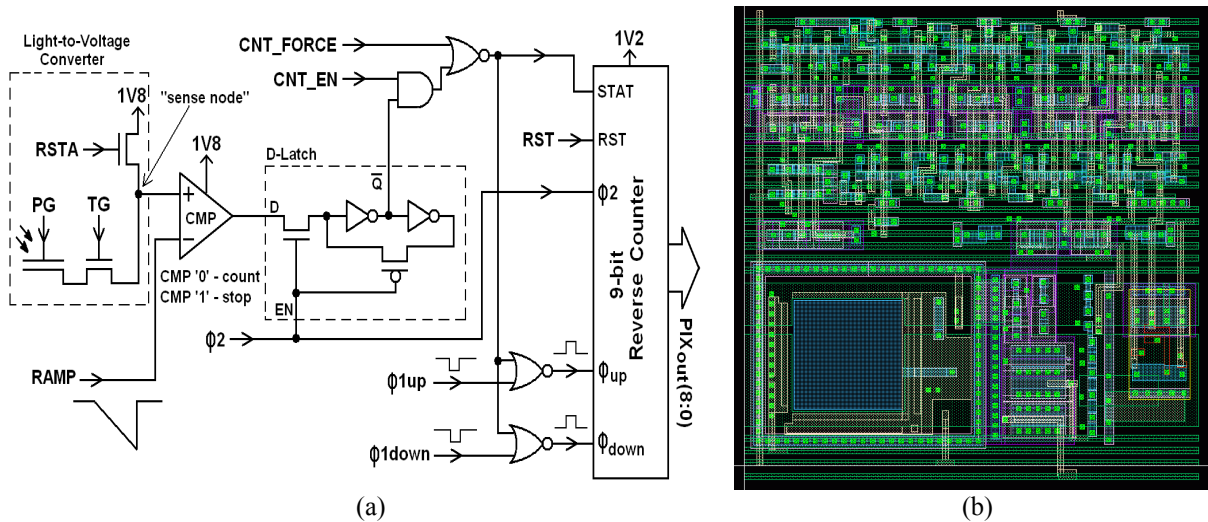
Vision chipy, którymi zajmował się habilitant w pracach [P2]-[P4] były przeznaczone do wstępnego przetwarzania obrazu i realizacji niskopoziomowych algorytmów nie wymagających dokładności numerycznej większej niż 6 bitów. Były one zaimplementowane w układach analogowych, które przy niskiej dokładności są bardziej efektywne pod względem powierzchni i poboru mocy od swoich cyfrowych odpowiedników. Bardziej zaawansowane przetwarzanie obrazu, wymagające bardziej złożonych algorytmów i większej dokładności numerycznej, jest trudno zaimplementować w technice analogowej. Przykładem bardziej złożonego przetwarzania jest kompresja bezstratna obrazu, która jest realizowana w kapsułach endoskopowych przed wysłaniem drogą radiową zgromadzonego materiału zdjęciowego. Poprawna realizacja poszczególnych etapów kompresji, np. predykcji, wymaga dokładności numerycznej przynajmniej 8 bitów. Ponadto, obraz z kamery powinien być jak najmniej zaszumiony, gdyż szum zmniejsza efektywność kompresji i w rezultacie transmisja radiowa zużywa więcej energii.

W ramach projektu badawczego [G1] habilitant brał udział w opracowaniu sensora obrazu do kapsuł endoskopowych, który musi charakteryzować się: możliwie dużym stosunkiem szybkości przetwarzania obrazu do poboru energii, niskim poziomem szumu, dokładnością przetwarzania przynajmniej 8 bitów i relatywnie niską ceną. Habilitant zaproponował, aby w sensorze obrazu zastosować architekturę w pełni równoległą z rys. 2(c), która jest korzystna pod względem poboru mocy. Ponadto zaproponował, aby każdy fotosensor posiadał własny przetwornik A/C oraz układy redukcji szumu FPN [P5]. Wcześniej znane już były realizacje sensorów obrazu, w których każdy piksel posiadał przetwornik A/C [30]-[34], jednakże nie posiadały one układów redukcji szumu FPN. Implementacja na małej powierzchni piksela wszystkich niezbędnych elementów: fotosensora, przetwornika A/C oraz układów redukcji FPN nie jest zadaniem łatwym. Skuteczna redukcja FPN wymaga bowiem kompensacji obu typów niejednorodności matrycy fotosensorów: *dark signal nonuniformity* (DSNU) i *photoresponse nonuniformity* (PRNU). W klasycznych sensorach obrazu (CIS), DSNU jest kompensowana przez skorelowane podwójne próbkowanie (*correlated double sampling* CDS) realizowane w sposób analogowy. Habilitant zaproponował, aby CDS zrealizować w sposób cyfrowy bezpośrednio w przetworniku A/C. W porównaniu do realizacji analogowej, cyfrowy CDS jest bardziej precyzyjny i może być zaimplementowany na mniejszej powierzchni. Schemat opracowanego piksela pokazano na rys. 16(a). Piksel zawiera fotosensor typu MOS photogate (oznaczony na schemacie jako *light-to-voltage converter*) oraz 9-bitowy przetwornik A/C *single-slope* z wbudowanym CDS. Topografia piksela (rys. 16(b)) została zaprojektowana przez habilitanta metodą *full-custom* zgodnie z technologią CMOS 0,18 μm 1.8 V *austriamicrosystems* z 6 metalami. Topografia ma wymiary 21 $\mu\text{m} \times 21 \mu\text{m}$.

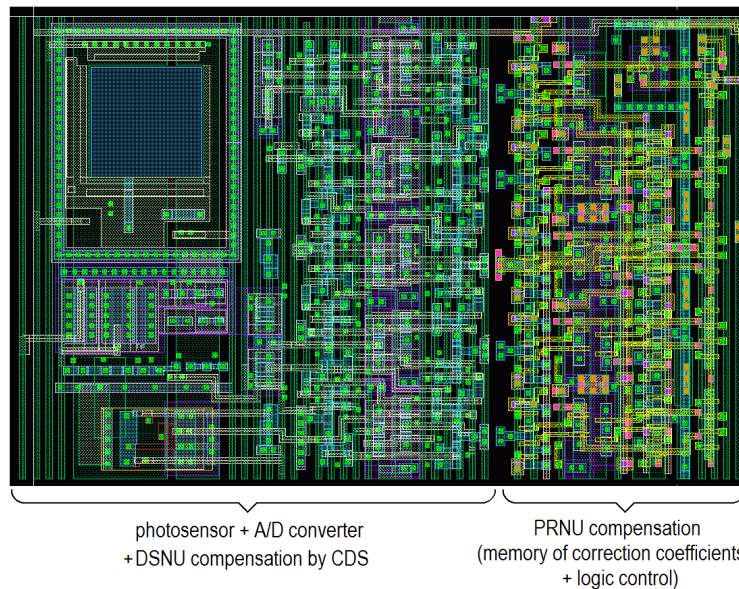
Zaproponowany przez habilitanta mechanizm redukcji szumu jest następujący. Próbki sygnału z fotosensora są zamieniane na postać cyfrową i są zapamiętywane w liczniku rewersyjnym. Dwie sąsiednie próbki są odejmowane od siebie poprzez zmianę kierunku liczenia licznika. Odejmowanie dwóch kolejnych próbek (CDS) równoważne jest filtracji górnoprzepustowej pierwszego rzędu, które tłumi sygnały o częstotliwości mniejszej niż:

$$f_{\text{H3dB}} = \frac{1}{6\Delta T_{\text{sample}}} \quad (6)$$

gdzie ΔT_{sample} jest okresem pobierania próbek. W prototypowym układzie ΔT_{sample} wynosi typowo 700 μs przy szybkości 700 fps. Zgodnie z (6), CDS usuwa szumy w paśmie od 0 Hz do około 238 Hz. W tym paśmie znajduje się zarówno „statyczny” (systematyczny) FPN



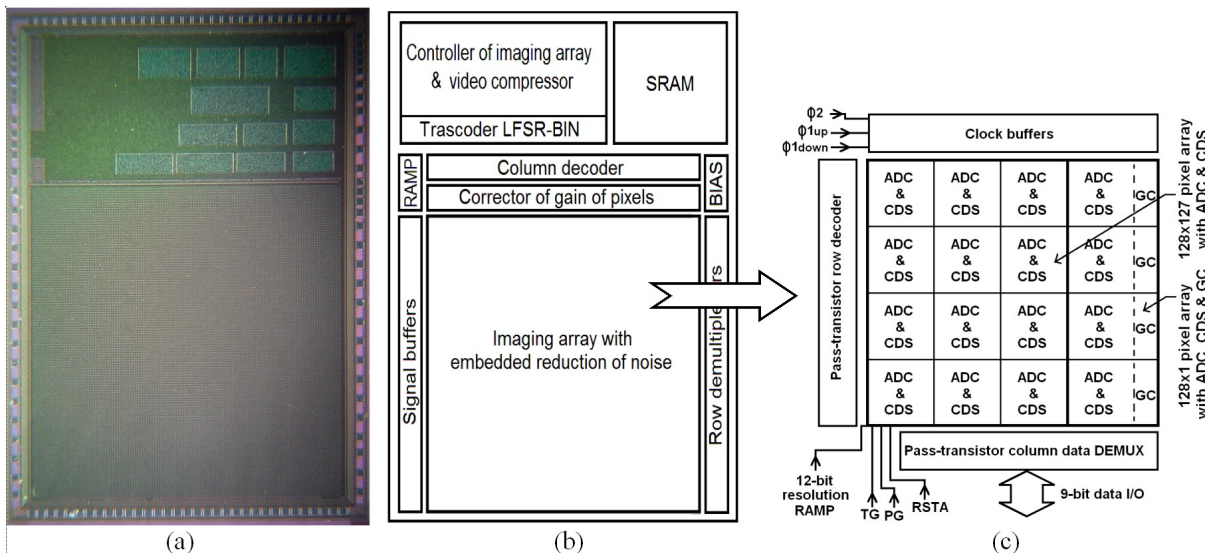
Rys. 16 Píksel CMOS z wbudowanym przetwornikiem A/C i cyfrowym CDS: (a) schemat, (b) topografia. Wymiary topografii $21\ \mu\text{m} \times 21\ \mu\text{m}$. Dla przejrzystości, z widoku usunięto warstwy metalu od 3 do 6.



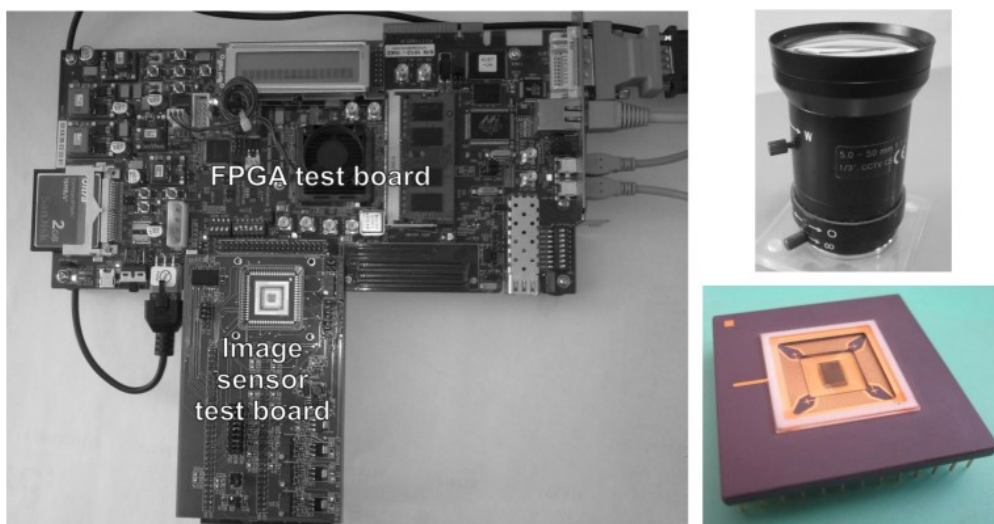
Rys. 17 Topografia piksela z wbudowanym przetwornikiem A/C, cyfrowym CDS i cyfrową korekcją wzmocnienia. Wymiary topografii $21\ \mu\text{m} \times 36\ \mu\text{m}$. Z widoku usunięto warstwy metalu od 3 do 6.

wywołany przez DSNU (mismatch fotosensora i komparatora analogowego), oraz „losowy” FPN wywołany przez szum $1/f$ fotosensora i komparatora analogowego.

FPN wywołany przez PRNU nie jest usuwany przez CDS. Ten szum może być usunięty przez kompensację PRNU polegającą na precyzyjnej korekcie wzmocnienia każdego piksela z osobna. Do korekty wzmocnienia większości typów fotosensora potrzebne są współczynniki korygujące z zakresu od 0,5 do 1,0. Krok zmian tych współczynników musi być mniejszy niż 0,01, co w praktyce nie jest możliwe do zrealizowania w technice analogowej. Z tego powodu w klasycznych CIS precyzyjna korekta wzmocnień pikseli jest realizowana cyfrowo, w specjalnym układzie znajdującym się poza matrycą pikseli. Ponieważ opracowywany prototyp sensora obrazu miał przetwarzać sygnały wizyjne w sposób w pełni równoległy, dlatego należało znaleźć nowy sposób korekty wzmocnienia, który można by zaimplementować na małej powierzchni piksela. Najefektywniejszy pod tym względem



Rys. 18 Prototypowy układ scalony *vision chip* wyprodukowany w technologii CMOS $0,18\ \mu\text{m}$ [P5]: (a) mikrofotografia struktury krzemowej, (b) uproszczona architektura wewnętrzna, (c) architektura matrycy pikseli. Wymiary struktury krzemowej $4,7\ \text{mm} \times 3,0\ \text{mm}$.

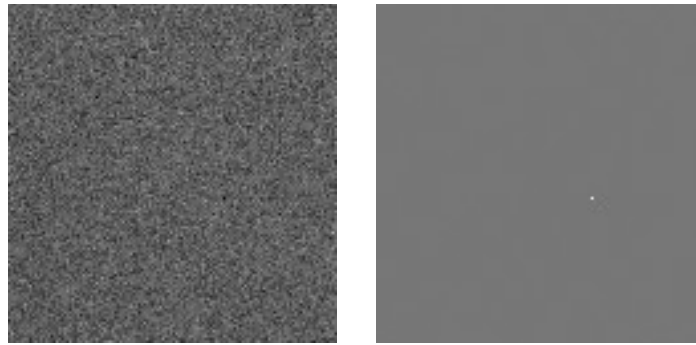


Rys. 19 System pomiarowy do testowania prototypowego *vision chipa* z rys. 18 [35].

okazał się sposób polegający na cyklicznym blokowaniu impulsów zegarowych, które zlicza licznik przetwornika A/C. Sposób ten nie został zaproponowany przez habilitanta, dlatego nie będzie tu szczegółowo omawiany. Warto jedynie wspomnieć, że nowa metoda pozwala na indywidualną korektę wzmacnienia (gain correction GC) pikseli z dokładnością $1/500$. Udział habilitanta w opracowaniu nowej metody polegał na zaprojektowaniu optymalnej topografii układu korekcji wzmacnienia, dostosowanej do pikseli z rys. 16(b). Zaprojektowaną przez habilitanta topografię pokazano na rys. 17. Blok korekcji wzmacnienia GC (oznaczony jako PRNU compensation) zawiera 9-bitową pamięć współczynników korekcji oraz logikę dynamiczną.

Testowanie prototypu vision chipa.

Funkcjonalność opracowanych pikseli z rys. 16 i 17 została zweryfikowana eksperymentalnie w prototypowym układzie scalonym CMOS, którego mikrofotografię



Rys. 20 Obrazy ciemne otrzymane z vision chipa na rys. 18. Lewy obraz – bez CDS. Prawy obraz – z CDS.

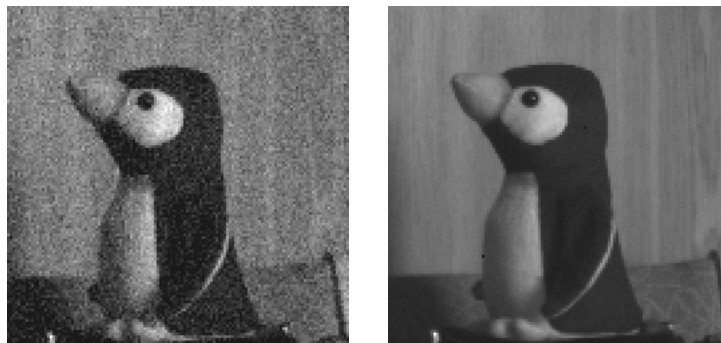


Fig. 21. Obrazy rzeczywistego obiektu otrzymane z vision chipa na rys. 18. Lewy obraz – bez CDS. Prawy obraz – z CDS.

pokazano na rys. 18(a). Został on wyprodukowany w wytwórni Fraunhofer w standardowej technologii $0,18\ \mu\text{m}$ austriamicrosystems. Struktura krzemowa ma wymiary $4,7\ \text{mm} \times 3,0\ \text{mm}$. Prototyp zawiera kompletny system wizyjny składający się z: matrycy wizyjnej o rozmiarze 128×128 pikseli, kontrolera matrycy, transkodera kodu LFSR na kod binarny, akceleratora kompresji wideo oraz pamięci SRAM (rys. 18(b)). Matryca pikseli (rys. 18(c)) została zaprojektowana przez habilitanta tak, aby można było testować niezależnie oba mechanizmy kompensacji DSNU i PRNU [P5]. W tablicy o rozmiarze 128×127 pikseli możliwa jest akwizycja obrazu bez kompensacji niejednorodności, bądź też z kompensacją DSNU za pomocą opracowanego przez habilitanta CDS. W ostatniej kolumnie, w której każdy piksel jest połączony z układem GC, możliwa jest jednoczesna kompensacja DSNU i PRNU. Dane wizyjne są wyprowadzane z układu scalonego przez 9 bitowy port, którego przepustowość wynosi 50 fps dla tablicy 128×127 i 5000 fps dla tablicy 128×1 .

Testy prototypowego vision chipa przeprowadzono za pomocą opracowanego, przy współudziale habilitanta, specjalnego systemu pomiarowego (Rys. 19) [35]. Składa się on z obwodu drukowanego (Image sensor test board zawierający m.in. przetwornik cyfrowo-analogowy do generacji sygnału rampy, układy zasilające i podstawkę na testowany układ scalony) oraz płytki z układem FPGA (FPGA test board) do sterowania rejestracją i akwizycją obrazów.

Pomiary wykazały pełną funkcjonalność opracowanych układów. Zaproponowany przez habilitanta cyfrowy CDS skutecznie obniża oba rodzaje szumu, tak zwane dark-FPN i light-FPN, spowodowane przez niejednorodność matrycy pikseli. Na rys. 20 pokazano skuteczność redukcji szumu w obrazie ciemnym. Obraz po lewej pochodzi z vision chipa z nieaktywnym CDS. Widoczny jest dark FPN, który wynosi 3% (12 LSB). Po aktywacji CDS, szum zostaje obniżony na tyle, że nie jest widoczny gołym okiem (obraz po prawej). Pomierzona wartość

szumu wyniosła 0,2% (0,8 LSB). W obrazie jasnym (nie pokazanym tutaj) występuje light-FPN, który jest spowodowany przez obie niejednorodności: DSNU i PRNU. CDS obniża składową light-FPN związaną z DSNU. Pomiary wykazały obniżenie light-FPN z 3,7% (14 LSB) do 1,85% (7 LSB). Dalsze obniżenie light-FPN do 1 LSB jest możliwe po kompensacji PRNU za pomocą układu korekcji z rys. 17.

Na rys. 21 pokazano obraz obiektu rzeczywistego otrzymany z vision chipa [P5]. Jest to ten sam obiekt (pingwin na drewnianym tle), który był użyty w testach poprzedniego prototypu vision chipa z pracy [P4]. Jakkolwiek, cyfrowy CDS zaimplementowany w vision chipie [P5] pozwolił na otrzymanie obrazu o zadowalającej jakości (prawy obraz) przy 10 krotnie mniejszym natężeniu oświetlenia niż w [P4].

Opracowana przez habilitanta matryca wizyjna (rys. 18(c)) charakteryzuje się niskim poborem mocy, który wynosi 4,8 mW i 27 mW podczas przetwarzania obrazu z szybkością odpowiednio 50 fps i 3500 fps. Okazuje się, że ponad 90% mocy zużywają komparatory analogowe. Możliwe jest obniżenie poboru mocy komparatorów przez obniżenie prądu polaryzującego, ale wiąże się to ze spadkiem szybkości komparatorów i pogorszeniem parametrów konwersji A/C. Zagadnieniami obniżenia poboru mocy i powierzchni komparatorów analogowych habilitant zajmował się w pracach [P8] i [P9].

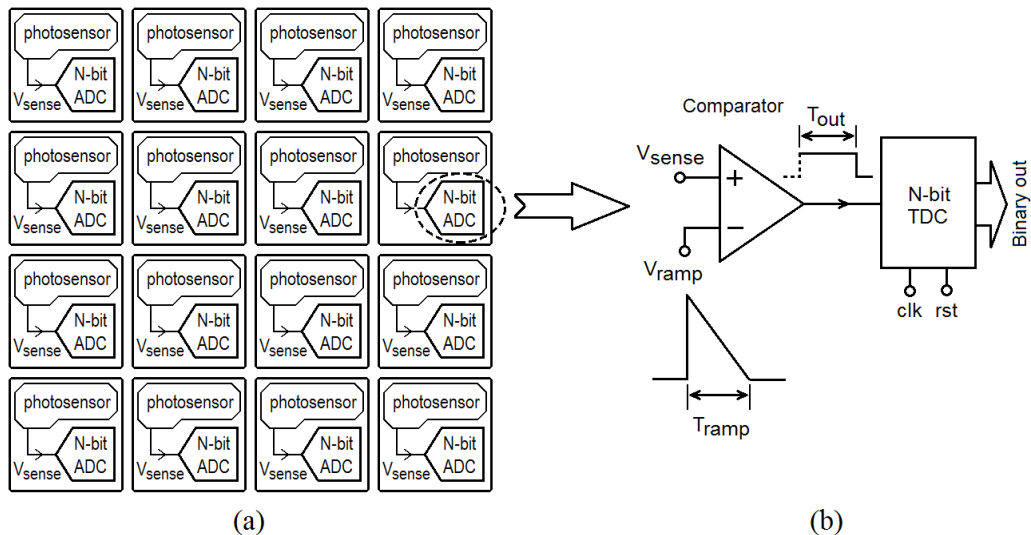
5. Prace badawcze nad obniżeniem poboru mocy i powierzchni komparatorów analogowych w sensorach obrazu z równoległym przetwarzaniem [P8], [P9]

Opracowanie nowego komparatora o ultra niskim poborze mocy.

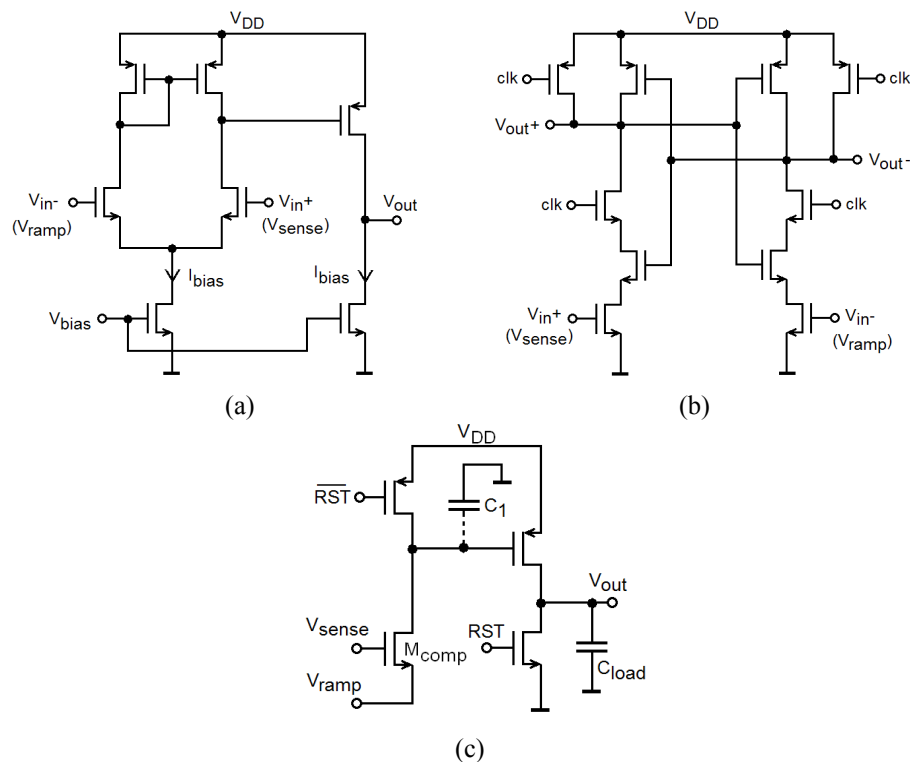
W sensorach obrazu z masywnie równoległym przetwarzaniem cyfrowym, komparatory są jedynymi układami analogowymi w torze przetwarzania [30]-[34], [P5]. Możliwości minimalizacji powierzchni i poboru mocy układów analogowych są o wiele bardziej ograniczone niż układów cyfrowych. W konsekwencji, pobór mocy komparatorów może stanowić nawet 90% całkowitego poboru mocy „cyfrowego” vision chipa [P5], [30]. Problem ten był szczegółowo analizowany przez habilitanta w pracy [P9]. Poniżej zostaną przedstawione najważniejsze wnioski z tych analiz.

W masywnie równoległych sensorach obrazu, konwersja A/C jest realizowana na poziomie pikseli, co w uproszczeniu przedstawiono na rys. 22(a). W pikselach stosuje się przetworniki A/C typu single-slope, gdyż mają one prostą konstrukcję i można je zaimplementować na powierzchni kilkuset mikrometrów kwadratowych. N-bitowy przetwornik A/C składa się z komparatora analogowego i N-bitowego przetwornika *time-to-digital* (TDC [41]), jak pokazano na rys. 22(b). Zadaniem komparatora jest wykrycie równości między sygnałem referencyjnym (V_{ramp}) a sygnałem fotosensora (V_{sense}). Problem minimalizacji poboru mocy można łatwo wyjaśnić na przykładzie komparatora pracującego z czasem ciągłym (rys. 23(a)) i z czasem dyskretnym (rys. 23(b)).

Klasyczny komparator „ciągły” z rys. 23(a) pobiera ze źródła zasilającego prąd o średniej wartości I_{bias} na całym odcinku czasu T_{ramp} . W rezultacie, do chwili zrównania się V_{ramp} z V_{sense} , jak i po tej chwili, moc elektryczna wydziela się w komparatorze „na darmo”. Pobór mocy można obniżyć przez obniżenie prądu polaryzującego. Jednakże, można go obniżyć tylko do wartości, która wciąż zapewnia wymaganą szybkość narastania (SR) napięcia na wyjściu komparatora, związaną z wymaganą szybkością konwersji A/C. Ponadto, SR musi być odpowiednio duży, aby komparator prawidłowo sterował układami cyfrowymi nie powodując w nich nadmiernego prądu zwarciovego. Stały prąd pobierany ze źródła zasilającego powoduje, że energia zużyta przez komparator w czasie jednej konwersji A/C stanowi większą część energii całego przetwornika A/C.

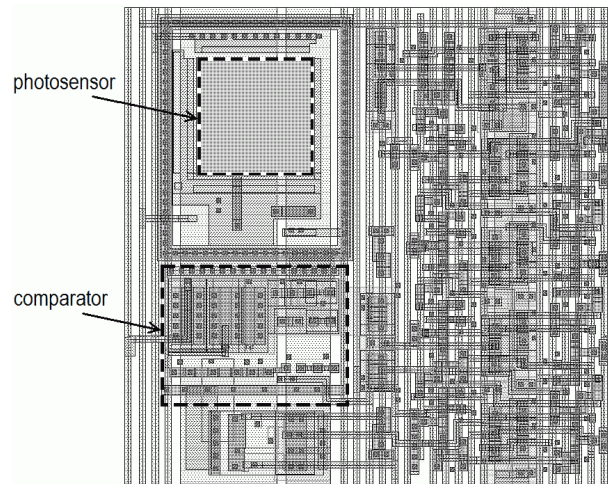


Rys. 22 Komparator analogowy w masynie równoległym sensorze obrazu CMOS. (a) Fragment matrycy pikseli. (b) Struktura przetwornika A/C w pikselu.



Rys. 23 Komparatory analogowe CMOS: (a) klasyczny komparator pracujący z czasem ciągłym, (b) klasyczny komparator pracujący z czasem dyskretnym (dynamiczny), (c) zaproponowany przez habilitanta komparator dynamiczny o ultra niskim poborze energii [P9].

Klasyczny komparator pracujący z czasem dyskretnym (dynamiczny) z rys. 23(b) jest zatraskiem regenerowanym i zatraskiwany cyklicznie przez sygnał zegarowy. Taki komparator pobiera prąd ze źródła zasilającego tylko w chwili zmiany stanu, tak jak układ cyfrowy. Jednakże, zastosowanie go w przetworniku A/C na rys. 22(b) nie jest optymalne pod względem poboru energii. W ciągu całego odcinka czasu T_{ramp} , komparator będzie sprawdzał różnicę napięć $V_{sense} - V_{ramp}$ w regularnych odstępach czasu wyznaczonych przez zegar. Można łatwo wykazać, że liczba porównań wykonywanych przez komparator, w czasie jednej



Rys. 24 Elementy analogowe w pikselu CMOS.

konwersji A/C, jest rzędu 2^N . Na przykład, w przetworniku 10-bitowym komparator wykonuje 1024 porównań. Każde porównanie oznacza zmianę stanu komparatora (regeneracja i zatrzaśnięcie) i zużycie porcji energii. W rezultacie, całkowita energia komparatora dynamicznego jest porównywalna do energii komparatora ciągłego.

W pracy [P9] habilitant zaproponowano nowe rozwiązanie komparatora dynamicznego CMOS, którego pobór energii jest 100-1000 razy mniejszy od znanych rozwiązań komparatorów ciągłych i dynamicznych. Schemat zaproponowanego komparatora pokazano na rys. 23(c). Komparator zmienia stan tylko jeden raz na odcinku czasu T_{ramp} , w chwili zrównania się V_{ramp} z V_{sense} . W związku z tym, pobór energii ze źródła zasilającego w czasie jednej konwersji A/C jest związany tylko z przeładowaniem niewielkiej pojemności pasozytniczej i może być wyrażony następująco:

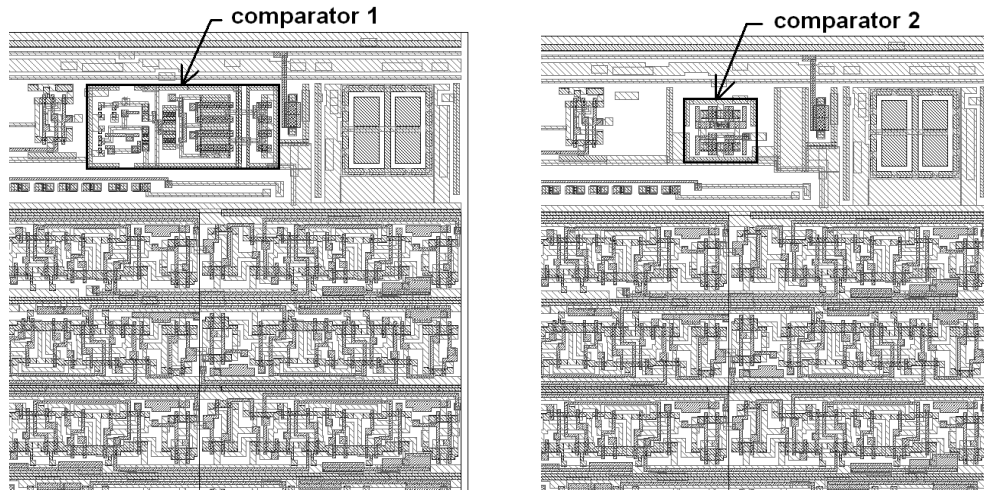
$$E_{\text{comp}} = (C_1 + C_{\text{load}}) \cdot V_{\text{DD}}^2 \quad (7)$$

gdzie C_1 i C_{load} są to pojemności pasozytnicze w węzłach układu. Habilitant wykazał, że E_{comp} jest mniejsza niż 0.5 pJ, zakładając pracę komparatora w przetworniku 10-12 bitowym. Klasyczne komparatory z rys. 23 zużywają w tych samych warunkach energię znacznie większą, bo około 150 pJ. Proponowany komparator spełnia wszystkie wymagania pod kątem implementacji w pikselu: charakteryzuje się prostą konstrukcją, małą powierzchnią topografii, nie wymaga dodatkowego mechanizmu power-down oraz ma niski *kickback noise*.

Analiza możliwości minimalizacji powierzchni komparatora.

Znane planarne sensory obrazu z równoległym cyfrowym przetwarzaniem [30]-[34], [P5] charakteryzują się relatywnie małym współczynnikiem *fill factor*, od 2% do 25%, w porównaniu do klasycznych CIS, w których *fill factor* dochodzi do 80%. Uzasadnia to potrzebę minimalizacji powierzchni układów przetwarzania na rzecz powiększenia powierzchni fotosensora. Cyfrowe układy przetwarzania można realizować z tranzystorów o minimalnych rozmiarach, a gęstość upakowania można zwiększyć modyfikując (łamiąc) standardowe reguły projektowe. Te proste metody minimalizacji powierzchni nie są stosowane w układach analogowych, gdyż prowadzą do pogorszenia parametrów elektrycznych.

Na rys. 24 pokazano topografię piksela, która była zaprojektowana przez habilitanta dla prototypowego vision chipa z publikacji [P5]. Komparator jest jedynym układem analogowym w torze przetwarzania. Zajmuje on 3 razy większą powierzchnię (14%



Rys. 25 Piksele z komparatorami o różnych powierzchniach [P8].

powierzchni piksela) niż fotosensor (5%). Zmniejszenie rozmiarów komparatora pozwoliłoby zwiększyć powierzchnię i czułość fotosensora.

Głównym czynnikiem ograniczającym możliwość minimalizacji powierzchni komparatora analogowego jest wzrost niedopasowania (*mismatch*) tranzystorów MOS. Niedopasowanie ma charakter losowy i powoduje, że każdy komparator ma inne napięcie niezrównoważenia (V_{OS}). Skutkiem tego, każdy przetwornik A/C w matrycy pikseli ma inną charakterystykę konwersji, co ujawnia się w obrazie jako szum FPN. Zgodnie z regułą Pelgrom'a, im mniejsza jest powierzchnia tranzystorów, tym większe jest ich niedopasowanie. Projektując komparator należy rozważyć kompromis między poziomem szumu FPN a rozmiarem piksela.

Wpływ niedopasowania tranzystorów komparatora na jakość obrazu był analizowany przez habilitanta w pracy [P8]. Analiza nie jest łatwa, ponieważ trzeba uwzględnić nieidealności fotosensora. O ile dane na temat niedopasowania tranzystorów są dobrze udokumentowane przez producenta, o tyle dane dotyczące nieidealności fotosensorów są skromne i trzeba polegać na danych pośrednich lub pochodzących z własnych pomiarów. Analizy przeprowadzone przez habilitanta pozwalają przewidzieć FPN sensora obrazu na podstawie niedopasowania tranzystorów oraz nieidealności fotosensora takich jak: rozrzuty czułości, pojemności własnej, prądu ciemnego i napięcia początkowego (napięcia „resetu”). Jedną z opracowanych formuł, pozwalającą przewidzieć wartość dark FPN, przyjmuje postać:

$$FPN_{\text{dark}} = \sqrt{\frac{\sigma^2(V_{OS})}{V_{DR}^2} + \frac{\sigma^2(\Delta V_{rst})}{V_{DR}^2} + \frac{\sigma^2(\Delta C_D)}{C_D^2} + \frac{\sigma^2(\Delta I_{\text{dark}})}{I_{\text{dark}}^2}} \quad (8)$$

gdzie V_{OS} oznacza napięcie niezrównoważenia komparatora, a ΔV_{rst} , ΔC_D i ΔI_{dark} oznaczają poszczególne nieidealności fotosensora. Formuła (8) pokazuje, że nieidealności komparatora wpływają na jakość obrazu w taki sam ilościowy sposób jak nieidealności pozostałych elementów piksela. W związku z tym, nawet kilkukrotne zmniejszenie powierzchni komparatora w relatywnie małym stopniu pogorszy jakość obrazu. Analizy zostały potwierdzone przez statystyczne symulacje komputerowe matrycy pikseli. Do celów symulacji habilitant opracował piksele z komparatorami o różnej powierzchni topografii. Na rys. 25 pokazano przykłady pikseli, w których powierzchnie komparatorów różnią się 3-krotnie. W obu przypadkach jakość obrazu jest praktycznie taka sama. Wartość FPN wyniosła

1.03% i 1.06% odpowiednio w przypadku zastosowania komparatora o dużej powierzchni (comparator 1) i małej powierzchni (comparator 2).

6. Prace badawcze nad systemem bezprzewodowej transmisji mocy zasilającej do sensora obrazu [P6], [P7]

W ramach projektu badawczego [G1] habilitant brał udział w opracowaniu sensora wizyjnego [P5] oraz systemu bezprzewodowej transmisji mocy zasilającej [P6], [P7], przeznaczonych dla miniaturowego systemu wideo w kapsułce endoskopowej. Taka kapsułka ma średnicę około 1 cm. Jest ona połykana przez pacjenta i przesuwaną się w układzie pokarmowym wykonuje kilka tysięcy zdjęć [36], [37]. Ta nowoczesna metoda diagnostyki pozwala poszerzyć możliwości i zmniejszyć uciążliwości związane z tradycyjnym badaniem endoskopowym. Duże trudności w zasilaniu kapsułek endoskopowych wynikają z kilku zasadniczych przyczyn: ograniczonych rozmiarów kapsułki niepozwalających na stosowanie wystarczająco pojemnych baterii, możliwości stosowania tylko baterii srebrnych, które w razie awarii kapsułki są bezpieczne dla zdrowia oraz wymogu długotrwałej pracy dochodzącej do kilkunastu godzin. W związku z tym intensywnie bada się możliwość bezprzewodowego zasilania kapsułek [38]-[40]. Wyniki przeprowadzonych analiz i eksperymentów pokazują, że takie zasilanie jest wykonalne, jednakże jest wiele problemów, które należy rozwiązać. Problemy wynikają z trzech powodów. Po pierwsze, odległość między odbiornikiem (kapsułką) a źródłem energii jest relatywnie duża, gdyż wynosi do 15 cm. Po drugie, gęstość emitowanej mocy nie może przekraczać wartości bezpiecznej dla zdrowia. Po trzecie, odbiornik zmienia położenie względem źródła energii. Zmiany położenia są dowolne, gdyż kamera kapsułki musi sfotografować całe wnętrze traktu pokarmowego.

Transmitowana energia zasila system wideo kapsułki, który składa się z sensora obrazu, mikrokontrolera, kompresji video, oraz układu bezprzewodowej transmisji materiału zdjęciowego. Uproszczoną architekturę systemu pokazano na rys. 26(a). Szacowany pobór mocy systemu wynosi 50-100 mW. Do transmisji mocy zasilającej wykorzystano sprzężone obwody rezonansowe. Habilitant zaproponował, aby zastosować konfigurację z jedną cewką w odbiorniku i z wirującym zewnętrznym polem elektromagnetycznym. Konfiguracja ta jest korzystna zarówno pod względem efektywności transmisji energii dla dowolnego położenia odbiornika jak również pod względem miniaturyzacji urządzenia [P6]. Taka konfiguracja jest znana, ale nie była dotąd stosowana w systemach zasilania kapsułek endoskopowych. Schemat opracowanego odbiornika energii zasilającej pokazano na rys. 26(b). W skład odbiornika wchodzi: automatyczny układ dostrajania obwodu rezonansowego (M_{Q0} - M_{Q7} , C_0 - C_7 , binary counter), niskonapięciowy prostownik o wysokiej sprawności oraz układ zarządzania energią (power management). Na wyjściu V_o wytwarzane jest stabilne napięcie, regulowane w zakresie 1,2-1,8 V, które jest dostosowane do zasilania prototypowego vision chipa z rys. 18. Odbiornik został zaimplementowany w prototypowym układzie scalonym [P6] w technologii CMOS 0,35 μm austriamicrosystems. Do układu scalonego dołączono cewkę odbiorczą (L_1) o średnicy 1 cm (rys. 26(a)). Na potrzeby testów opracowano, zgodnie z sugestią habilitanta, specjalną konstrukcję cewek nadawczych, które umieszczono na spłaszczonym cylindrze o rozmiarach 30 x 45 x 35 cm, dopasowanym do wymiarów typowego ludzkiego torsu. Pomiar wykazały, że odbiornik dostarcza do obciążenia prąd o wartości 67-100 mA, który jest wystarczający do zasilania prototypowego vision chipa z [P5] i pozostałych elementów systemu wideo w kapsułce endoskopowej.

Habilitant prowadził również badania nad prostownikami napięcia dla odbiornika energii zasilającej [P7]. Taki prostownik musi charakteryzować się wysoką sprawnością napięciową i mocową co najmniej 80% oraz szerokim zakresem częstotliwości pracy 1-1000 MHz. Uzyskanie wymaganych parametrów bardzo utrudnia brak niezależnego źródła zasilania. Prostownik jest zasilany wyłącznie napięciem zmiennym z cewki odbiorczej o typowej amplitudzie do 3,5 V. Nie stosuje się prostowników diodowych (których ceną zaletą jest prosta konstrukcja), gdyż ich sprawność przy małych amplitudach napięcia, poniżej 1 V, wynosi tylko 5-15%. W literaturze można spotkać wiele rozwiązań prostowników aktywnych, w których diody prostownicze są zastąpione przez klucze MOS. Takie prostowniki uzyskują lepsze parametry niż konwencjonalne prostowniki diodowe, ale ich konstrukcja jest skomplikowana i w większości wymagają, aby amplituda wejściowa była większa niż 3,5 V. W związku z tym, znane rozwiązania prostowników nie nadają się do miniaturowych systemów zasilających sensory obrazu np. w kapsułkach endoskopowych. Habilitant zaproponował nowe rozwiązanie prostownika [P7], które pozbawione jest wad tradycyjnych rozwiązań. Schemat zaproponowanego układu pokazano na rys. 26(c). Prostownik składa się tylko z dwóch tranzystorów MOS, dwóch kondensatorów i dwóch rezystorów, i może w całości być zaimplementowany w układzie scalonym CMOS. Może on prostować napięcia o amplitudach od 0,7 V do 3,5 V. Sprawność napięciowa, sprawność mocowa oraz pasmo układu wynoszą odpowiednio 89%, 87%, i 1 GHz.

7. Podsumowanie

Sensory obrazu CMOS z wbudowanym przetwarzaniem, tak zwane vision chipy, są podobne do narządów wzroku, w których wstępne przetwarzanie obrazu odbywa się już w siatkówce. Vision chip składa się z trzech głównych elementów: matrycy fotosensorów, zestawu procesorów oraz sieci wzajemnych połączeń. Implementacja w technologii CMOS poszczególnych elementów wymaga rozwiązania szeregu problemów naukowo-konstrukcyjnych, które zostały omówione szczegółowo rozdziałach 1-6. Poniżej zostanie przedstawione podsumowanie wkładu habilitanta w rozwiązanie tych problemów.

Wkład habilitanta w obszarze fotosensorów CMOS.

Na potrzeby prototypowych vision chipów należało opracować odpowiednie matryce fotosensorów w standardowej technologii CMOS. Projektowanie fotosensorów bardzo utrudnia brak modeli matematycznych dla symulatorów obwodowych. Projektowanie odbywa się metodą prób i błędów, dlatego jest czasochłonne i kosztowne w przypadku układów ASIC. Ze względu na specyfikę poszczególnych vision chipów, należało opracować różne fotosensory współpracujące z różnymi procesorami. Były to: fotosensory z wyjściem napięciowym zrealizowane w postaci fotodiod w trybie integracji [P2]-[P3], fotosensory z wyjściem prądowym zrealizowane w postaci fotodiod i wzmacniaczy MOS [P4], oraz fotosensory z wyjściem napięciowym w postaci fotobramek MOS [P5]. Te ostatnie wykorzystują zjawisko transferu ładunku, podobnie jak fotosensory CCD, i są najtrudniejsze w projektowaniu. Nie są one przewidziane do implementacji w standardowej technologii CMOS, dlatego habilitant musiał zastosować niestandardowe techniki projektowania topografii. Uzyskane pozytywne wyniki są cenne dla badaczy zajmujących się planarnymi vision chipami, które z założenia mają być układami tanimi i są realizowane w tanich standardowych technologiach CMOS.

Wkład habilitanta w obszarze procesorów wizyjnych CMOS.

Głównym problemem w realizacji procesorów dla vision chipów jest uzyskanie odpowiednio małej powierzchni topografii i poboru mocy. Wymóg małej powierzchni i poboru mocy wynika z dużej liczby procesorów w vision chipie, która w skrajnym przypadku jest równa liczbie pikseli w masywnie równoległym vision chipie. Na przykład, w układzie o

małej rozdzielczości 128×128 pikseli znajduje się aż 16384 procesorów. Ponadto, większe rozmiary procesora prowadzą do spadku czułości optycznej vision chipa z powodu większego parametru *pixel pitch* i mniejszego *fill factor*. Optymalne rozmiary procesora są mniejsze niż $100 \mu\text{m} \times 100 \mu\text{m}$, a pobór mocy nie powinien być większy niż kilka μW . Wkład naukowy habilitanta w dziedzinę procesorów wizyjnych polega na opracowaniu nowych rozwiązań CMOS efektywnych pod względem powierzchni i poboru mocy. Są to procesory realizujące różnego typu przetwarzanie obrazu: filtrację splotową [P2], [P4], filtrację medianową [P3] oraz redukcję szumu [P5]. Procesory zostały zaimplementowane w trzech kolejnych prototypowych vision chipach wyprodukowanych w standardowych technologiach CMOS $0,35 \mu\text{m}$ i $0,18 \mu\text{m}$. Opracowane przez habilitanta rozwiązania mogą być przeniesione do bardziej zaawansowanych technologicznie sensorów obrazu o nieplanarnej strukturze typu stacked-IC, 3D-IC.

Wkład habilitanta w badaniach nad sieciami połączeń.

Podstawową funkcją sieci połączeń w vision chipie jest przesyłanie sygnału wizyjnego z fotosensorów do procesorów. W zależności od realizowanych algorytmów przetwarzania obrazu, sieć połączeń musi zapewnić także wymianę danych między procesorami. Możliwość realizacji takiej sieci są mocno ograniczone w klasycznych planarnych układach scalonych. Nawet przy dostępie 6-8 warstw metalu w nowoczesnych technologiach CMOS można zrealizować sieć relatywnie nieskomplikowaną w porównaniu do analogicznej sieci w biologicznym narządzie wzroku. W tej dziedzinie habilitant posiada osiągnięcia konstrukcyjne polegające na modyfikacji znanej z literatury architektury połączeń, co zwiększyło przepustowość danych oraz poprawiło rekonfigurowalność. Ulepszona przez habilitanta sieć połączeń została zaimplementowana w prototypowym vision chipie w technologii CMOS $0,35 \mu\text{m}$ [P2]-[P3].

Wkład habilitanta w obszarze przetworników analogowo-cyfrowych CMOS.

Przetworniki analogowo-cyfrowe (ADC) znajdują się w klasycznych sensorach obrazu CMOS (CIS) oraz w vision chipach typu DPS (digital pixel sensor). W klasycznym CIS zestaw 1000-4000 ADC przetwarza sygnał z matrycy o dużej rozdzielczości (HD, 4k). W przeciwieństwie do CIS, vision chipy posiadają matryce o małych rozdzielczościach, np. 128×128 pikseli, ale liczba ADC jest znacznie większa, gdyż jest równa liczbie pikseli (16384). Jednakże, zarówno w CIS jak i w vision chipie, głównym problemem jest uzyskanie odpowiednio małych rozmiarów topografii ADC. W CIS szerokość topografii ADC jest ograniczona przez pixel-pitch, dlatego ADC są bardzo wąskie i wysokie np. $5 \mu\text{m} \times 100 \mu\text{m}$. W vision chipie o architekturze równoległej, topografia ADC musi zmieścić się w kwadracie mniejszym niż $20 \mu\text{m} \times 20 \mu\text{m}$. Problemem jest także uzyskanie małego poboru mocy przy zachowaniu wymaganej szybkości i jakości przetwarzania. W dziedzinie przetworników analogowo-cyfrowych habilitant posiada następujące dwa osiągnięcia naukowe: 1) opracowanie nowego rozwiązania ADC [P5] dla sensorów obrazu, które jest efektywniejsze pod względem rozmiarów topografii w porównaniu do znanych rozwiązań, 2) opracowanie nowatorskiego komparatora analogowego [P9] dla przetwornika ADC, które pozwala obniżyć pobór mocy ADC 100-1000 razy. Zaprojektowany przez habilitanta ADC został zaimplementowany w prototypowym vision chipie w technologii CMOS $0,18 \mu\text{m}$ [P5].

Wkład habilitanta w analizę mismatchu w układach CMOS.

Rozrzut parametrów procesu produkcji układu scalonego oraz spowodowane tym niedopasowanie elementów (mismatch) jest przyczyną powstania szumu FPN w sensorze obrazu. Problem dotyczy zarówno klasycznych sensorów (CIS) jak i vision chipów. Analiza wpływu „mismatchu” na szum jest zagadnieniem złożonym, ponieważ należy wziąć pod uwagę mismatch wszystkich składników sensora obrazu tj. fotosensorów, układów przetwarzania (ADC, procesory) i układów odczytu (readout). Ponadto, analizę utrudnia brak modeli symulacyjnych dla fotosensorów oraz brak danych od producenta na temat

nieidealności fotosensorów. Wkład habilitanta w dziedzinę analizy mismatchu w układach CMOS polega na opracowaniu zwiezłych formuł, które pozwalają przewidzieć szum FPN na podstawie mismatchu poszczególnych elementów sensora obrazu [P8]. Przeprowadzone analizy wskazują, że można przewidzieć FPN z zadowalającą dokładnością posiadając niepełne dane na temat nieidealności elementów. Analizy mogą być przydatne dla projektantów zarówno vision chipów jak i klasycznych CIS.

Wkład habilitanta w zakresie bezprzewodowego przesyłu energii zasilającej do układów CMOS.

Bezprzewodowe zasilanie urządzeń elektronicznych jest powszechnie stosowane w życiu codziennym np. do zasilania zbliżeniowych kart płatniczych. Zasilanie bezprzewodowe jest łatwe i tanie w realizacji pod warunkiem, że transmisja energii elektrycznej odbywa się na małą odległość (do 1 cm), jak w przypadku kart zbliżeniowych. Zasilanie urządzeń na większe odległości nie jest powszechnie stosowane, gdyż jest zbyt kosztowne. Jest ono stosowane tylko w urządzeniach specjalistycznych np. w medycznych kapsułkach endoskopowych. Taka kapsułka fotografuje wewnątrz traktu endoskopowego pacjenta przez kilkanaście godzin, i przesyła bezprzewodowo zdjęcia do komputera. Miniaturowa bateria kapsułki nie może zasilać systemu wizyjnego przez kilkanaście godzin, dlatego trzeba dostarczać energię bezprzewodowo. Głównym problemem w realizacji takiego zasilania jest stosunkowo duża odległość transmisji energii (15 cm) oraz fakt, że odbiornik zmienia ciągle swoje położenie i orientację w przestrzeni. Wkład habilitanta w dziedzinę bezprzewodowej transmisji energii zasilającej polega na: a) opracowaniu metody transmisji (konfiguracja z jedną cewką w odbiorniku i z wirującym zewnętrznym polem elektromagnetycznym) [P6], która jest efektywniejsza od znanych rozwiązań pod względem sprawności transmisji i miniaturyzacji urządzenia, b) opracowaniu nowatorskiego wysoko-sprawnego prostownika CMOS [P7] dla odbiornika energii. Zaproponowana metoda transmisji została pozytywnie zweryfikowana eksperymentalnie.

Podsumowując, w syntetycznym ujęciu, do najważniejszych osiągnięć naukowo-badawczych habilitanta należy zaliczyć:

- Opracowanie nowatorskich rozwiązań procesorów wizyjnych CMOS efektywnych pod względem powierzchni i poboru mocy. Zostały one zaimplementowane w prototypowych vision chipach wyprodukowanych w technologiach CMOS 0,35 μm i 0,18 μm . Opracowane przez autora rozwiązania mogą być przeniesione do bardziej zaawansowanych technologicznie układów o nieplanarnej strukturze typu stacked-IC, 3D-IC.
- Opracowanie przetworników światło-napięcie przeznaczonych do realizacji w tanich standardowych technologiach CMOS. Wyniki prowadzonych przez autora badań są cenne dla badaczy zajmujących się tanimi planarnymi vision chipami realizowanymi w standardowych technologiach CMOS.
- Modyfikacje znanej architektury sieci łączącej fotosensory z procesorami, które zwiększyły przepustowość danych oraz usprawniły rekonfigurowalność sieci. Rezultaty badań nad sieciami połączeń mogą być wykorzystane przez projektantów sensorów wizyjnych w klasycznych planarnych układach scalonych.
- Opracowanie innowacyjnego rozwiązania przetwornika analogowo-cyfrowego (ADC) dla sensorów obrazu, które jest efektywniejsze pod względem rozmiarów topografii w porównaniu do znanych rozwiązań. Zostało ono zaimplementowane w prototypowym vision chipie w technologii CMOS 0,18 μm .
- Opracowanie nowatorskiego komparatora analogowego CMOS dla przetworników ADC, które pozwala obniżyć pobór mocy przetworników 100-1000 razy.
- W zakresie analizy mismatchu w układach CMOS – opracowanie zwiezłych formuł pozwalających przewidzieć szum FPN sensora obrazu. Analizy wykonane przez autora

mogą być przydatne dla projektantów zarówno vision chipów jak i klasycznych sensorów CIS.

- W obszarze bezprzewodowego zasilania układów scalonych CMOS – opracowanie metody transmisji, która jest efektywniejsza od znanych z literatury metod, oraz opracowanie nowatorskiego wysoko-sprawnego prostownika CMOS dla odbiornika energii. Zaproponowana metoda transmisji została pozytywnie zweryfikowana eksperymentalnie.

BIBLIOGRAFIA

- [1] A. Zarandy, Focal-Plane Sensor-Processor Chips. Chapter: Anatomy of the Focal-Plane Sensor-Processor Arrays, Springer, 2011.
- [2] A. Moini, Vision Chips. Norwell, MA: Kluwer, 1999.
- [3] A. E. Gamal, H. Eltoukhy, „CMOS image sensors”, *IEEE Circuits & Devices Magazine*, pp. 6-20, 2005.
- [4] J. Nakamura, Image Sensors and Signal Processing for Digital Still Cameras. Chapter : CMOS Image Sensors, Taylor & Francis Group, 2006.
- [5] P. Dudek, Carey, "A General-Purpose 128x128 SIMD Processor Array with Integrated Image Sensor", *Electronics Letters*, vol.42, no.12, pp.678-679, June 2006
- [6] P. Dudek, P.J. Hicks, "A CMOS General-Purpose Sampled-Data Analogue Processing Element", *IEEE Trans. Circuits Syst. II: Analog and Digital Signal Processing*, vol. 47, no. 5, pp. 467-473, May 2000
- [7] J. Marku, L. Koskinen, A. Paasio, „A 130 nm Implementation of Analog Variable Block-Size Motion Estimation Cell”, *IEEE Int. Symp. on Integrated Circuits ISIC-2007*, pp. 57-60, 2007.
- [8] L. G. McIlrath, „A Low-Power Analog Correlation Processor for Real-Time Camera Alignment and Motion Computation”, *IEEE Trans. Circuits Syst. II*, vol. 47, no. 12, pp. 1353-1364, 2000.
- [9] M. Panovic, A. Demosthenous, „A Low-Power Analog Motion Estimation Processor for Digital Video Coding”, *IEEE J. Solid-State Circuits*, vol. 41, no. 3, pp. 673-683, 2006.
- [10] R. Njuguna and V. Gruev, „Linear Current Mode Image Sensor With Focal Plane Spatial Image Processing”, in *Proc. IEEE Int. Symp. Circuits and Systems ISCAS*, pp. 4265-4268, 2010.
- [11] A. Lopich, P. Dudek, “Architecture and Design of a Programmable 3D-Integrated Cellular Processor Array for Image Processing,” presented at the *IFIP/IEEE Int. Conference on Very Large Scale Integration, VLSI-Soc 2011*, Hong Kong, pp. 349–353, 2011.
- [12] M. Goto, et al. “Pixel-Parallel 3-D Integrated CMOS Image Sensor With Pulse Frequency Modulation A/D Converters Developed by Direct Bonding of SOI Layers,” *IEEE Trans. Electron Devices*, vol. 62, no. 11, pp. 3530–3535, Nov. 2015.
- [13] G.W. Deptuch, G. Carini, P. Gryboś, P. Kmon, P. Maj, M. Trimpl, D.P. Siddons, R. Szczygieł, R. Yarema, “Design and Tests of the Vertically Integrated Photon Imaging Chip,” *IEEE Trans. Nuclear Science*, vol. 61, no. 1, pp. 663–674, Feb. 2014.
- [14] G.W. Deptuch, G. Carini, P. Enquist, P. Gryboś, S. Holm, R. Lipton, P. Maj, R. Patti, D.P. Siddons, R. Szczygieł, R. Yarema, “Fully 3-D Integrated Pixel Detectors for X-Rays,” *IEEE Transactions on Electron Devices*, vol. 63, no. 1, pp. 205–214, Jan. 2016.
- [15] J. Dubois, D. Ginhac, and M. Paindavoine, B. Heyrman, „A 10 000 fps CMOS Sensor With Massively Parallel Image Processing,” *IEEE J. Solid-State Circuits*, vol. 43, no. 3, pp. 706-717, 2008.
- [16] N. Massari, M. Gottardi, L. Gonzo, D. Stoppa A. Simoni, “A CMOS Image Sensor With Programmable Pixel Level Analog Processing”, *IEEE Trans. Neural Netw.*, vol. 16, no. 6, pp. 1673-1684, 2005.
- [17] G. Liñán Cembrano, A. Rodríguez-Vázquez, R. Carmona Galan et al., „A 1000 FPS at 128 × 128 vision processor with 8-bit digitized I/O”, *IEEE J. Solid-State Circuits*, vol. 39, no. 7, pp. 1044–1055, 2004.
- [18] P. Dudek and P. J. Hicks, „A general-purpose processor-per-pixel analogue SIMD vision chip”, *IEEE Trans. Circuits Syst. I*, vol. 52, no. 1, pp. 13–20, 2005.
- [19] A. Elouardi, S. Bouaziz, A. Dupret, L. Lacassagne, J.O. Klein, R. Reynaud, „Image Processing Vision Systems: Standard Image Sensors Versus Retinas”, *IEEE Trans. Instrum. Meas.*, vol. 56, no. 5, pp. 1675-1687, 2007.
- [20] A. Elouardi, S. Bouaziz, A. Dupret, L. Lacassagne, J.O. Klein, R. Reynaud, „A Smart Architecture for Low-Level Image Computing”, *Int. Journal of Computer Science and Applications*, vol. 5, no. 3a, pp. 1-19, 2008.
- [21] G. Blakiewicz, “Analog multiplier for a low-power integrated image sensor”, MIXDES 2009, Proceedings of the 16 international conference: mixed design of integrated circuits and systems. Warsaw University of Technology. Łódź, pp. 226-229, 2009

- [22] W. Jendernalik, J. Jakusz, G. Blakiewicz, R. Piotrowski, „Realizacja CMOS specjalizowanego procesora analogowego wspomagającego wstępne przetwarzanie obrazu”, *IX Krajowa Konferencja Elektroniki KKE'2010*, Darłówko Wschodnie, 2010.
- [23] Y.-C. Hung, S.-H. Shieh, C.-K. Tung, „A real-time current-mode CMOS analog median filtering cell for system-on-chip applications,” in *Proceedings of the IEEE Conference on Electron Devices and Solid-State Circuits (EDSSC)* (pp. 361–364), 2007.
- [24] C.-Y. Huang, W.-H. Wei, B.-D. Liu, „Design of a 1.5 V analog current-mode median filter,” in *Proceedings of the Intelligent Sensors, Sensor Networks and Information Processing Conference* (pp.211–215), 2004.
- [25] A. Diaz-Sanchez, Ramirez-Angulo, J., Lopez-Martin, A., & Sanchez-Sinencio, E. „A fully parallel CMOS analog median filter,” *IEEE Transactions on Circuits and Systems-II*, 51(3), 116–123, 2004.
- [26] Opris, I. E., & Kovacs, G. T. A. „A high-speed median circuit,” *IEEE Journal of Solid-State Circuits*, 32(6), 905–908, 1997
- [27] Dietz P. H., & Carley, L. R. „An analog technology for finding the median,” in *Proceedings of the IEEE Custom Integrated Circuits Conference*, pp. 611–614, 1993.
- [28] M. Kyomasu, „A New CMOS Imager Using Photodiode as Current Source,” *IEEE J. Solid-State Circuits*, vol. 26, no. 8, pp. 1116-1122, Aug. 1991
- [29] W. Jendernalik, J. Jakusz, G. Blakiewicz, R. Piotrowski, S. Szczepański, „Analog CMOS processor for early vision processing with highly reduced power consumption”, *20th European Conf. on Circuits Theory and Design, ECCTD 2011*, Linköping, Sweden, pp. 745-748, 2011.
- [30] S. Kleinfelder, S. H. Lim, X. Q. Liu, and A. El Gamal, “A 10 000 Frames/s CMOS Digital Pixel Sensor,” *IEEE J. Solid-State Circuits*, vol. 36, no. 12, pp. 2049–2058, Dec. 2001.
- [31] A. Lopich and P. Dudek, “A SIMD Cellular Processor Array Vision Chip With Asynchronous Processing Capabilities,” *IEEE Trans. Circuits Syst. I*, vol. 58, no. 10, pp. 2420–2431, Oct. 2011.
- [32] S. J. Carey, et al. “A 100,000 fps Vision Sensor with Embedded 535GOPS/W 256x256 SIMD Processor Array,” presented at *VLSI Circuits Symposium 2013*, Kyoto, pp. C182–C183, 2013.
- [33] A. Kitchen, A. Bermak, A. Bouzerdoum, “A Digital Pixel Sensor Array With Programmable Dynamic Range,” *IEEE Trans. Electron Devices*, vol. 52, no. 12, pp. 2591–2601, Dec. 2005.
- [34] D.X.D. Yang, A.E. Gamal, B. Fowler, H. Tian, “A 640×512 CMOS Image Sensor with Ultrawide Dynamic Range Floating-Point Pixel-Level ADC,” *IEEE J. Solid-State Circuits*, vol. 34, no. 12, pp. 1821–1834, Dec. 1999.
- [35] J. Jakusz, M. Kłosowski, W. Jendernalik, “Realizacja przetwornika obrazu CMOS z wbudowaną konwersją A/C i cyfrowym układem CDS,” *XIII Krajowa Konferencja Elektroniki KKE'2014*, Darłówko Wschodnie, 2014.
- [36] G. Ciuti, A. Menciassi, P. Dario, „Capsule endoscopy: from current achievements to open challenges”, *IEEE Reviews in Biomedical Engineering*, vol. 4, pp. 59-72, 2011.
- [37] X. Chen, X. Zhang, L. Zhang, X. Li, N. Qi, H. Jiang, Z. Wang, „A Wireless Capsule Endoscope System With Low-Power Controlling and Processing ASIC”, *IEEE Trans. Biomedical Circuits Syst.*, vol. 3, no. 1, pp. 11-22, 2009.
- [38] G. Pan, W. Xin, G. Yan, J. Chen, „A video wireless capsule endoscopy system powered wirelessly: design, analysis and experiment”, *Meas. Sci. Technol.* Vol. 22, pp. 1-9, 2011.
- [39] R. Carta, J. Thoné, R. Puers, „A wireless power supply system for robotic capsular endoscopes”, *Sensors and Actuators A*, vol. 162 , pp.177–183, 2010.
- [40] S. Yu, Y. Guozheng, J. Zhiwei, Z. Bingquan, „The Design and Implementation of the Wireless Power Transmission System of Video Capsule Endoscopy”, *IEEE Int. Conf. on Biomed. Engin. and Biotech.*, Macau, Macao, pp. 578-581, 2012.
- [41] P. Dudek, S. Szczepanski and J.V. Hatfield, „A High-Resolution CMOS Time to Digital Converter Utilising a Vernier Delay Line”, *IEEE Journal of Solid State Circuits*, vol.35, no.2, pp. 240- 247, Feb. 2000
- [42] Austriamicrosystems data sheets: „0.35 μm CMOS C35 Process Parameters”, „0.35 μm CMOS C35 Matching Parameters”. Company confidential.

PROJEKTY BADAWCZE, W KTÓRYCH HABILITANT BRAŁ UDZIAŁ

- [G1] „Mikroelektroniczny system wizyjny CMOS do endoskopii kapsułkowej z bezprzewodową transmisją danych i mocy zasilającej”, projekt badawczy NCN nr 2011/03/B/ST7/03547, (2012-2015) – główny wykonawca.

- [G2] „Bezprzewodowy system bezpieczeństwa wykorzystujący inteligentne mikrouządzenia rozpoznawcze do przekazywania obrazu i dźwięku wewnątrz budynku”, projekt rozwojowy MNiSzW Nr O R00 0046 09, (2009-2012) – wykonawca.
- [G3] „Projekt i realizacja CMOS specjalizowanego analogowego procesora do wspomaganie przetwarzania obrazu w czasie rzeczywistym”, projekt badawczy MNiSzW nr NN515423034, (2009-2011) – główny wykonawca.
- [G4] „Hybrydowy system do redukcji poboru mocy cyfrowych układów VLSI CMOS”, projekt badawczy KBN nr 1378/T11/2004/27, (2004-2006) – wykonawca.
- [G5] „Metody projektowania i realizacji układów programowalnych filtrów analogowych CMOS czasu ciągłego dla wielosystemowych scalonych odbiorników telefonii bezprzewodowej”, projekt badawczy KBN nr 4T11B01625, (2003-2005) – wykonawca.
- [G6] „Projektowanie niskonapięciowych filtrów analogowych CMOS z kompresją przetwarzanych sygnałów”, grant promotorski nr KBN 3T11B08226, (2004-2006) – główny wykonawca.’
- [G7] „Projektowanie i realizacja układu CMOS i BiCMOS analogowych bloków funkcjonalnych toru odbiornika telefonii komórkowej”, projekt badawczy KBN nr 8T11B03716, (1999-2002) – wykonawca.

W. Jendernalik

Gdańsk, 06.09.2017

dr inż. Waldemar Jendernalik