

dr inż. Szymon Szczęsny  
Politechnika Poznańska  
Wydział Informatyki, Instytut Informatyki  
Zakład Badań Operacyjnych i Sztucznej Inteligencji  
BWE, ul. Piotrowo 3A, p. 508  
Poznań 60-965  
tel. 61-665-2297  
e-mail: [szymon.szczesny@put.poznan.pl](mailto:szymon.szczesny@put.poznan.pl)

## **Autoreferat**

dr inż. Szymon Szczęsny  
Politechnika Poznańska  
Wydział Informatyki  
Zakład Badań Operacyjnych i Sztucznej Inteligencji  
ul. Piotrowo 2, 60-954 Poznań  
tel. 61-665-2297  
[szymon.szczesny@put.poznan.pl](mailto:szymon.szczesny@put.poznan.pl)

## AUTOREFERAT

### **I. Wykształcenie, posiadane dyplomy, stopnie naukowe**

- 21.05.2013 r. – nadanie stopnia doktora nauk technicznych w dyscyplinie informatyka przez Radę Wydziału Informatyki Politechniki Poznańskiej; tytuł rozprawy doktorskiej: *Computer Tools for Layout Generation of Switched Current Circuits*; promotor rozprawy doktorskiej: prof. dr hab. inż. Andrzej Handkiewicz; recenzenci: prof. dr hab. inż. Zygmunt Ciota, prof. dr hab. inż. Andrzej Kos
- 30.06.2008 r. – uzyskanie tytułu zawodowego magistra Automatyki i Zarządzania na Wydziale Informatyki i Zarządzania Politechniki Poznańskiej, spec.: Reprogramowalne Systemy Sterowania
- 15.02.2007 r. – uzyskanie tytułu zawodowego inżyniera Automatyki i Zarządzania na Wydziale Informatyki i Zarządzania Politechniki Poznańskiej

### **II. Informacja o dotychczasowym zatrudnieniu w jednostkach naukowych**

- od 1.10.2017 r. – adiunkt w Instytucie Informatyki, Zakład Badań Operacyjnych i Sztucznej Inteligencji, Politechnika Poznańska, Wydział Informatyki
- 1.10.2013 r. – 30.09.2017 r. – adiunkt w Katedrze Inżynierii Komputerowej, Politechnika Poznańska, Wydział Informatyki i Zarządzania
- 1.10.2008 r. – 30.09.2013 r. – asystent w Katedrze Inżynierii Komputerowej, Politechnika Poznańska, Wydział Informatyki

### **III. Omówienie dorobku naukowego i dydaktycznego**

#### **1. Wskaźniki bibliometryczne kandydata**

Habilitant jest autorem 35 artykułów opublikowanych w czasopismach naukowych, w tym 13, które ukazały się w czasopismach z listy JCR. W dorobku habilitanta znajdują się 4 artykuły samodzielne JCR ze średnim IF równym 1.99 (dokładnie 1.9885). Artykuły te stanowią część cyklu publikacji wskazanego jako osiągnięcie naukowe. Pozostałe dane bibliometryczne habilitanta zebrano poniżej:

- Indeks H według WoS: 4
- Łączna liczba cytowań: 36 (WoS), 56 (Scopus), 80 (ScholarGoogle)
- Sumaryczny IF osiągnięcia naukowego: 12.645
- Sumaryczny IF artykułów JCR po doktoracie: 15.5
- Łączna liczba punktów za artykuły JCR po doktoracie: 220

#### **2. Kierowanie i udział w projektach badawczych**

Habilitant po doktoracie kierował dwoma projektami badawczymi realizowanymi na Wydziale Informatyki Politechniki Poznańskiej:

- „*Synteza układów mieszanych na matrycy rekonfigurowalnej SI*”, 2014r. – 2015r.
- „*Interfejs rekonfigurowalnej matrycy SI*”, 2015r. – 2016r.

Projekty finansowane były z Działalności Statutowej Młodej Kadry. W ramach pierwszego projektu opracowane zostały IPCory układów rekonfigurowalnych pracujących w trybie prądowym oraz narzędzia syntezy układów analogowych z wykorzystaniem zaprojektowanych modułów. Drugi z projektów zaowocował opracowaniem interfejsu IPCorów w postaci układów DAC i ADC. Rezultatem prac badawczych była również implementacja sztucznych sieci neuronowych w analogowych układach rekonfigurowalnych oraz analiza ich działania w trybie zasilania 0.3 V.

Habilitant przed doktoratem był również wykonawcą w grantie NCN:

- „*Automatyzacja projektowania analogowych obwodów scalonych realizowanych w technice przełączanych prądów*”, 2009r. – 2011r.

Rezultatem pracy habilitanta są narzędzia automatyzacji projektowania topografii układów z przełączanymi prądami. W ramach grantu habilitant zaprojektował też analogowe układy filtrów SI, które zostały wykonane jako układy fizyczne w technologii 180 nm.

### 3. Nagrody za działalność naukową, dydaktyczną oraz organizacyjną na rzecz Politechniki Poznańskiej

Rok	Nagroda
2017	Nagroda Rektora Politechniki Poznańskiej za uzyskane wyniki naukowe, Nagroda Rektora Politechniki Poznańskiej za osiągnięcia dydaktyczne
2016	Nagroda Rektora Politechniki Poznańskiej za osiągnięcia organizacyjne
2013	Nagroda Rektora Politechniki Poznańskiej za uzyskane wyniki naukowe
2012	Nagroda Rektora Politechniki Poznańskiej za osiągnięcia dydaktyczne
2011	Nagroda Rektora Politechniki Poznańskiej za przygotowanie stanowisk laboratoryjnych

### 4. Współpraca z przemysłem

2016 r. Habilitant pozyskał grant z przemysłu ufundowany przez firmę Intel Technology Poland Ltd na realizację specjalności *Mikrosystemy Informatyczne* (MI) na kierunku Informatyka prowadzonym na Wydziale Informatyki Politechniki Poznańskiej.  
Tytuł grantu: *Embedded Systems Development Technology – graduate course*  
Kierownikiem grantu był prof. dr hab. inż. Andrzej Handkiewicz. Habilitant był jednym z wykonawców grantu.

Wymiernymi efektami prowadzonej przez habilitanta współpracy z firmą Intel są:

- zaopatrzenie laboratoriów Politechniki Poznańskiej w sprzęt umożliwiający prowadzenie atrakcyjnych dla studentów zajęć dydaktycznych
- wynagrodzenia dla pracowników Wydziału Informatyki Politechniki Poznańskiej przygotowujących materiały dydaktyczne dla specjalności MI
- możliwość odbywania przez studentów specjalności staży i praktyk w siedzibie firmy
- regularnie organizowane wyjazdy studentów Wydziału Informatyki Politechniki Poznańskiej na „drzwi otwarte” do polskiej filii firmy

2012-2013 r. Habilitant odbył staż w przedsiębiorstwie AntMicro w ramach projektu przewidzianego dla nauczycieli akademickich *Staż i Szkolenia Drogą do Komercjalizacji Wiedzy* współfinansowanego ze środków Europejskiego Funduszu Społecznego. Tematem stażu było opracowanie oficjalnego portu systemu eCos na pierwszą platformę hybrydową klasy Zynq firmy Xilinx.

Współpraca z firmą AntMicro prowadzona jest do dnia dzisiejszego.

## **5. Działalność dydaktyczna i na rzecz popularyzacji nauki**

Habilitant przygotował plan wspomnianej w punkcie 4. specjalności *Mikrosystemy Informatyczne* konsultując tematykę planowanych przedmiotów z firmą Intel będącą największym potentatem na rynku informatycznym.

Habilitant był promotorem 7 prac inżynierskich i 3 prac magisterskich.

Prowadził następujące przedmioty na Wydziale Informatyki Politechniki Poznańskiej:

- Podstawy elektroniki
- Układy elektroniczne
- Elektrotechnika
- Elektronika cyfrowa
- Elektronika współczesna
- Projektowanie specjalizowanych urządzeń elektronicznych
- Projektowanie układów mieszanych
- Komputerowa symulacja cyfrowych układów CMOS
- Narzędzia projektowania układów cyfrowych
- Pracowania badawczo-problemowa
- Grafika komputerowa
- Inżynieria oprogramowania dla systemów wbudowanych i mobilnych
- Technologie informacyjne
- Informatyka

Dla większości z tych przedmiotów modernizował bądź przygotowywał od podstaw materiały dydaktyczne.

Promował naukę poprzez aktywny udział w takich wydarzeniach jak *Noc Naukowców 2016* czy organizowani w Politechnice Poznańskiej *Mali Naukowcy 2016*. Na wydarzeniach tych habilitant prezentował wraz ze swoimi dyplomantami zbudowanego przez nich robota grającego na keyboardzie.

## **6. Współpraca zagraniczna**

Habilitant w okresie 10.07.2017 r. – 23.07.2017 r. odbył staż w Universidade Nova de Lisboa, Faculdade de Ciências e Tecnologia, Lisbon, Portugal. Staż realizowany był w ramach projektu Erasmus+, a jego celem było zapoznanie z metodami i narzędziami projektowania układów CMOS ultra-niskiej mocy.

Między 28.11.2016 r. – 30.11.2016 r. habilitant wziął również udział w Seasonal School on Circuits-and-Systems for the IoT, CAS4IoT organizowanym w Universidade Nova de Lisboa, Faculdade de Ciências e Tecnologia. Celem szkolenia było zapoznanie z aktualnymi osiągnięciami i kierunkami rozwoju dziedziny projektowania urządzeń elektronicznych dla branży IoT.

Oprócz odbytych wyjazdów zagranicznych, potwierdzeniem współpracy z naukowcami z ośrodka Universidade Nova de Lisboa jest wspólna publikacja JCR wykazana w osiągnięciu naukowym przedłożonym do wniosku habilitacyjnego.

#### **IV. Osiągnięcie naukowe, o którym mowa w art. 16 ust. 2 ustawy z dnia 14 marca 2003 r. o stopniach naukowych i tytule naukowym oraz o stopniach i tytule w zakresie sztuki**

Osiągnięciem naukowym jest cykl powiązanych tematycznie publikacji.

##### **a) Tytuł osiągnięcia naukowego**

*Przetwarzanie sygnałów analogowych z wykorzystaniem rekonfigurowalnych układów CMOS pracujących w trybie prądowym*

##### **b) Monotematyczny cykl publikacji składający się na osiągnięcie naukowe**

Lp.	Publikacja	Impact factor
A1	<b>S. Szczęsny</b> , <i>High Speed and Low Sensitive Current-Mode CMOS Perceptron</i> , Microelectronic Engineering, vol. 165, s. 41-51, Elsevier, 2016; <b>(100%)</b>	1.806
A2	<b>S. Szczęsny</b> , <i>Current-Mode FPAA with CMRR Elimination and Low Sensitivity to Mismatch</i> , Circuits, Systems and Signal Processing, vol. 36, Issue 7, s. 2672-2696, Springer US, 2017; <b>(100%)</b>	1.694
A3	<b>S. Szczęsny</b> , <i>0.3 V 2.5 nW per Channel Current-Mode CMOS Perceptron for Biomedical Signal Processing in Amperometry</i> , IEEE Sensors Journal, IEEE, vol. 17, Issue 17, 2017; <b>(100%)</b>	2.512
A4	<b>S. Szczęsny</b> , <i>HDL-Based Synthesis System with Debugger for Current-Mode FPAA</i> , IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, DOI: 10.1109/TCAD.2017.2740295, IEEE, 2017; <b>(100%)</b>	1.942
A5	A. Handkiewicz, <b>S. Szczęsny</b> , M. Kropidłowski, <i>Over rail-to-rail fully differential voltage-to-current converters for nm scale CMOS technology</i> , Analog Integrated Circuits and Signal Processing, DOI: 10.1007/s10470-017-1071-7, Springer US, 2017; <b>(30%)</b>	0.623
A6	A. Handkiewicz, <b>S. Szczęsny</b> , M. Naumowicz, P. Katarzyński, M. Melosik, P. Śniatała, M. Kropidłowski, <i>SI-Studio, a layout generator of current mode circuits</i> , Expert Systems with Applications, vol. 42, Issue 6, pp. 3205-3218, Elsevier, 2015; <b>(25%)</b>	2.981
A7	P. Śniatała, M. Naumowicz, A. Handkiewicz, <b>S. Szczęsny</b> , J. LA de Melo, N. Paulino, J. Goes, <i>Current mode sigma-delta modulator designed with the help of transistor's size optimization tool</i> , Bulletin of the Polish	1.087

	Academy of Sciences Technical Sciences, vol. 63, Issue 4, pp. 919-922, 2015; <b>(10%)</b>	
B1	<b>S. Szczęsny</b> , M. Kropidłowski, M. Naumowicz, P. Śniatała, <i>EDA tools for designing <math>\Sigma\Delta</math> modulators working in the current-mode</i> , Przegląd Elektrotechniczny, R. 92, NR. 9, s. 77-80, SIGMA-NOT, 2016; <b>(60%)</b>	-
B2	<b>S. Szczęsny</b> , A. Handkiewicz, M. Naumowicz, M. Melosik, <i>FPAAs Accelerator for Machine Vision systems</i> , Przegląd Elektrotechniczny, R. 91, NR. 9, s. 184-187, SIGMA-NOT, 2015; <b>(80%)</b>	-
<b>Sumaryczny Impact Factor</b>		12.645

Wskaźniki Impact Factor podano zgodnie z rokiem opublikowania. Wkład procentowy habilitanta podano w nawiasach.

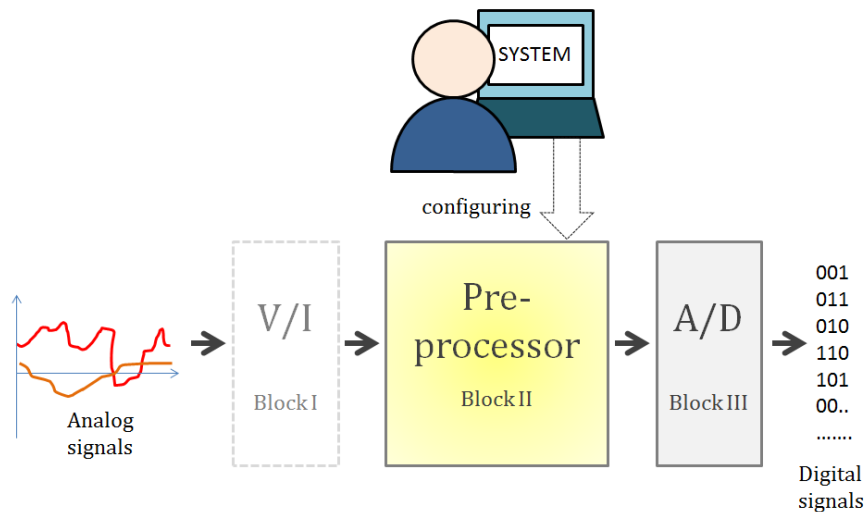
### **c) Omówienie celu naukowego ww. prac i osiągniętych wyników wraz z omówieniem ich ewentualnego wykorzystania**

#### **1. Wprowadzenie i cel podjęcia tematyki badawczej**

Podjęta przez habilitanta tematyka badawcza inspirowana jest doświadczeniami wyniesionymi ze współpracy z firmami działającymi w branży IoT (Internet of Things) oraz promowanymi przez nie technologiami. Dominujące na rynku informatycznym rozwiązania reprogramowalne, rekonfigurowalne oraz hybrydowe oferują dziś użytkownikom szerokie możliwości rozbudowy systemów przetwarzania danych ograniczone właściwie jedynie dostępnością zasobów. W branży elektronicznej, która jest silnie powiązana z sektorem informatycznym i zapewnia dla niego rozwiązania sprzętowe, dominują obecnie przede wszystkim dwa trendy: miniaturyzacji rozwiązań (potęgowany rozwojem technologii nanometrowych CMOS) oraz minimalizacji mocy (wymuszany przez konsumentów, a także stymulowany rozwojem technik energy harvesting). Silne wsparcie ze strony przemysłu doprowadziło w ostatnich latach do szybkiego rozwoju układów cyfrowych oraz systemów wbudowanych. Przez ostatnie kilkanaście lat nieprzerwanie rozwijano narzędzia automatyzujące proces uruchomienia szerokokorozumianego „systemu cyfrowego”. Analogowa natura otaczającego nas świata sprawia jednak, że w wielu zastosowaniach rozwiązania cyfrowe nie dają się w prosty sposób zaadoptować, szczególnie, że charakteryzują się one dużymi gabarytami i dużym poborem mocy. Ogniwem łączącym analogowy świat z systemami cyfrowymi i zapewniającym dużą funkcjonalność przetwarzania sygnałów analogowych przy niewielkich gabarytach urządzenia i małych poborach mocy są analogowe urządzenia reprogramowalne. Zasadniczym celem stosowania takiego ogniwa w torze przetwarzania jest sprzętowa implementacja wstępnego preprocessingu sygnałów tj. na przykład kompresja lub konwersja sposobu reprezentacji. Wynik działania takiego „preprocesora” nie jest ostatecznym rezultatem analizy sygnału i najprawdopodobniej nie

będzie on zrozumiał dla użytkownika, który nie jest inżynierem. Przygotowanie danych do prezentacji dla użytkownika jest zadaniem części cyfrowej systemu umieszczonej w dalszej części toru przetwarzania.

Schemat ogólny ilustrujący koncepcję analogowej części systemu opartego na rekonfigurowalnym preprocesorze przedstawia rys. 1.



**Rysunek 1 - Koncepcja rekonfigurowalnego systemu analogowego jako fragmentu większego systemu mieszanego analogowo-cyfrowego**

Ze względu na sprzętową implementację preprocesora jako układu elektronicznego rejestracja sygnałów analogowych odbywa się przeważnie poprzez elektrody np. carbon nanotubes [1]. Z powodu użycia elektrod sygnały reprezentowane są za pomocą prądów – jak realizuje się to w amperometrii – lub za pomocą prądu i potencjału – jak implementowane jest to w systemach pomiarowych w woltamperometrii [2]. Użycie bloku konwertera napięcie-prąd (blok I) jest opcjonalne – zależnie od mierzonej wielkości i zastosowanej metody pomiarowej. Sercem systemu jest blok II, który odpowiada za przetwarzanie sygnałów analogowych. Na wejściu tego bloku sygnały reprezentowane są za pomocą prądów i sam blok pracuje w trybie prądowym, co znacząco ułatwia jego implementację jako układu scalonego wykonanego w nanotechnologii. Z powodu miniaturyzacji technologii CMOS oraz idącej z nią w parzę minimalizacji napięć zasilania coraz trudniejsze staje się projektowanie układów analogowych pracujących w trybie napięciowym. Jest to w dużej mierze spowodowane trudnościami w projektowaniu obwodów wzmacniaczy przy niskich napięciach zasilania. Przykładowo w pracy [3] analogowa część układu złożona z buforów i wzmacniaczy zasilana jest napięciem 1.8 V, podczas gdy pozostała część układu zasilana jest standardowym napięciem w technologii 28 nm tj. 1 V. Z tego względu większość układów analogowych projektowanych w najnowocześniejszych technologiach pracuje w trybie prądowym. Autor postanowił wpisać się we wspomniany trend i swoje badania ukierunkował na rozwijanie prądowych układów programowalnych. Układem tego typu jest wspomniany obwód oznaczony na rys. 1. jako blok II, którego funkcjonalność definiowana jest przez użytkownika. Konfiguracja dokonywana z poziomu wygodnego w użyciu środowiska EDA (Electronic-Design-Automation) umożliwia np. zdefiniowanie rodzaju konwersji, poziomu



kompresji sygnału, sposobu filtracji itp. Blok III złożony z przetworników analogowo-cyfrowych odpowiada za ostateczną konwersję wstępnie przetworzonego sygnału do jego cyfrowej reprezentacji, akceptowalnej przez cyfrową część systemu.

W ostatnich latach opublikowanych bądź opatentowanych zostało wiele implementacji programowalnych urządzeń analogowych klasy FPAA pracujących w trybie napięciowym [4-8]. W literaturze znaleźć można też prace poświęcone zagadnieniom implementacji narzędzi EDA służących do syntezy układów analogowych przy użyciu obwodów FPAA [9]. Implementacje te wykonane są głównie w stosunkowo przestarzałych technologiach CMOS (2.4  $\mu\text{m}$ , 2.0  $\mu\text{m}$ , 0.35  $\mu\text{m}$ , 0.13  $\mu\text{m}$ ) ze względu na napięciowy tryb pracy. Z drugiej strony na przestrzeni ostatnich 20 lat publikowane były sporadycznie implementacje wykorzystujące tryb prądowy, np. podejście bazujące na konwejerach prądowych [10, 11] oferujące wprawdzie wysoką częstotliwość przetwarzania, charakteryzujące się jednak przy tym niską dokładnością i silną nieliniowością użytych elementów. Pewną odpowiedzią na powyższe problemy było zastosowanie układów tzw. cyfrowo-programowalnych transkonduktorów [12], aczkolwiek implementacja ta nie jest w pełni prądowa, wymaga użycia układów wzmacniaczy, a także macierzy kluczowanych pojemności – co uniemożliwia implementację z wykorzystaniem standardowej (tj. cyfrowej) technologii CMOS. Habilitant postanowił uzupełnić lukę w rozwoju dziedziny o implementację układu FPAA działającą w całości w trybie prądowym, z pominięciem układów wzmacniaczy, dającą się realizować z wykorzystaniem standardowej, cyfrowej i nanometrowej technologii CMOS. Możliwość zastosowania nowoczesnej technologii cyfrowej do realizacji programowalnego układu analogowego pozwala na jego osadzenie na wspólnym podłożu z częścią cyfrową większego systemu mieszanego – jak zilustrowano to na rys. 1. Autorska implementacja FPAA pokonująca wspomniane ograniczenia została przedstawiona w sekcji 2.1. niniejszego autoreferatu.

Jednym z kierunków rozwoju układów rekonfigurowalnych jest ich aplikacja do zadania implementacji sztucznych sieci neuronowych. Warto zwrócić uwagę, że powszechne wykorzystywanie układów FPGA do cyfrowych implementacji sieci neuronowych jest bardzo nieoptymalne. Cyfrowa realizacja funkcji sigmoidalnej w pojedynczym neuronie jest kosztowna – wymaga implementacji dużej tablicy predefiniowanych wartości lub realizacji złożonego układu obliczeniowego. Przede wszystkim jednak ograniczeniem jest liczba układów mnożących, które służą do realizacji wag sieci neuronowej. Przykładowo, nieduża sieć rozpoznająca wzorce na obrazie z kamery VGA, zawierająca około 85 tys. wag daje się implementować w pełni równoległe dopiero z wykorzystaniem bardzo zaawansowanego modułu, takiego jak np. PGA Virtex 7 firmy Xilinx. Układ ten kosztuje jednak kilkadziesiąt tysięcy \$. Dużo tańsze matryce pozwalają jedynie na implementację szeregowo-równoległą z multipleksacją wyników pośrednich, podczas gdy sieć neuronowa jest układem o typowo równoległej architekturze. Stąd też duże zainteresowanie rekonfigurowalnymi układami analogowymi, które pozwalają na w pełni równoległą implementację np. [13-16]. Wspólną wadą tych implementacji jest jednak mała dokładność odwzorowania nieliniowej funkcji aktywacji neuronu. Autorzy wykorzystują z reguły nieciągły (przedziałami ciągły) model układu tranzystorowego do estymacji krzywej teoretycznej, co albo utrudnia sprzętową realizację nauczonej sieci albo jest źródłem dodatkowych błędów w trakcie przejścia od modelu matematycznego do fizycznej realizacji. Wadą jest również stosunkowo duża

złożoność układów modelujących funkcję aktywacji (np. 18 tranzystorów w pracy [13]) oraz konieczność użycia biasów, co również utrudnia implementację sprzętową. Habilitant postanowił zaproponować własny układ modelujący funkcję aktywacji neuronu, złożony ze znacznie mniejszej liczby tranzystorów oraz dający się opisać ciągią w całym przedziale i różniczkowalną funkcją. Funkcja ta została zaadoptowana do modelu matematycznego sieci neuronowej, dzięki czemu wyeliminowane zostały wszelkie błędy w trakcie przechodzenia od matematycznego opisu nauczonej sieci neuronowej do jej sprzętowej implementacji. Podejście to dokładniej opisano w sekcji 2.2.

Głównym powodem wykorzystania układów analogowych w dobie ekspresowego rozwoju rozwiązań cyfrowych są niski pobór mocy oraz niewielkie rozmiary topografii. Okazuje się, że jest jeszcze wiele do osiągnięcia w zakresie miniaturyzacji mocy pobieranej przez układy analogowe. Przykładowo, w pracy z 2016 r. [17] zaprezentowano układ analizujący prądy o wartości zaledwie kilku nA i służący do detekcji pojedynczych bakterii. Mimo, że układ działa dla bardzo małych prądów, pobiera około 1 mW mocy. Wydajność ogniw wykorzystywanych w technikach *human energy harvesting* to zaledwie  $30 \mu\text{W}/\text{cm}^2$ , co oznacza, że niemal niewidoczny dla ludzkiego oka układ scalony wymaga ogniw o wymiarach około 5 x 6 cm i nie daje się realizować jako urządzenie klasy *implantable chip*. Habilitant postanowił odpowiedzieć na ten problem i w rozwiązaniu opisanym w sekcji 2.3. zaproponował podejście obniżające pobór mocy prawie milion razy. Dodatkowo zwiększona została funkcjonalność opisanego podejścia, które nie służy jedynie do detekcji, ale pozwala na bardziej zaawansowany preprocessing. Przykładowym obszarem zastosowań wypracowanego rozwiązania jest monitorowanie egzocytozy, czyli procesów życiowych komórek w celu wczesnej predykcji wszelkich patologii jeszcze zanim będą one dostrzegalne w obrazie histopatologicznym jako zmiana nowotworowa. Implementacja takiego rozwiązania jako układu analogowego o małych gabarytach, zasilonego ogniwem o powierzchni mniejszej od powierzchni układu daje szansę na tego rodzaju aplikacje.

Ostatnim ogniwem w łańcuchu przetwarzania, które łączy część analogową systemu z częścią cyfrową, jest przetwornik ADC (Analog Digital Converter). Nowoczesne układy tego typu realizowane są przede wszystkim w oparciu o modulatory  $\Sigma\Delta$ . Projektowanie takiego układu jest zadaniem bardzo pracochłonnym ze względu na konieczność optymalizacji struktury z przeprowadzeniem symulacji w każdej iteracji. W ocenie rezultatów wykorzystuje się wskaźniki FoM (Figure of Merit). W niniejszym autoreferacie w sekcji 2.4. opisana została implementacja modulatora dedykowanego do analizy przede wszystkim sygnałów biomedycznych o małej częstotliwości. FoM modulatora jest ponad 10 razy lepszy od innych implementacji o podobnych zastosowaniach [18-21]. Habilitant nie jest autorem narzędzi, które wykorzystano do zoptymalizowania struktury. Zaprojektował natomiast niektóre z modułów, złożył całą strukturę modulatora z tych modułów oraz z gotowych bloków (tj. przygotował układ do optymalizacji) oraz zaprojektował topografię (ang. layout) modulatora. W sekcji 2.4. opisany został także układ konwertera napięcie-prąd (V-I) zwiększający funkcjonalność preprocesora (umożliwia bowiem jego adaptację do zadań przetwarzania również analogowych sygnałów napięciowych). Parametr FoM uzyskanej struktury jest praktycznie bezkonkurencyjny w zestawieniu z aktualną literaturą [22-25]. Habilitant jest autorem bloku kompensacji składowej współbieżnej (zaprojektowanego i opisanego jeszcze w ramach pracy doktorskiej habilitanta), zaprojektował topografię przetwornika oraz wykonał

liczne jego analizy (współczynnik PSRR, analizy wrażliwości na rozrzut (mismatch) procesu oraz napięć polaryzacji, pobór mocy, parametry topografii). Konwerter V-I oprócz aplikacji w preprocesorze może znaleźć zastosowanie w strategii OCI (On Chip Instrumentation) do generacji szybkozmiennych sygnałów prądowych we wnętrzu scalonego układu analogowego, gdzie doprowadzenie szybkich sygnałów prądowych z zewnątrz jest niemożliwe z powodu pojemności padów obudowy.

Podsumowaniem prac habilitanta są narzędzia automatyzacji projektowania układów analogowych z wykorzystaniem obwodów rekonfigurowalnych. W dziedzinie elektroniki i informatyki rozwój narzędzi EDA (Electronic Design Automation) jest często podejmowanym tematem [26-28]. Proponowane w literaturze rozwiązania służą przede wszystkim konfiguracji analogowych obwodów pracujących w technikach napięciowych tj. OTA-C, SC. Jak już wspomniano, miniaturyzacja technologii wymusza rozwój narzędzi konfiguracji układów pracujących w trybie prądowym, kompatybilnych z istniejącymi standardami opisu architektur sprzętowych (językami HDL), zorientowanych na zapewnienie wysokiej precyzji przetwarzania w układach analogowych – również z uwzględnieniem pasożytniczych zjawisk w obwodach. Wspomniane zagadnienia są częściowo z osobna rozpatrywane w pracach naukowych. Brak jednak jednego, w pełni uniwersalnego podejścia oferującego całą tę funkcjonalność. Autor postanowił opracować narzędzia automatyzacji projektowania rekonfigurowalnych układów analogowych o funkcjonalności takiej, jaką posiadają dziś narzędzia projektowania układów cyfrowych tj. wyposażone także w możliwość debugowania obwodów, które stają się coraz bardziej skomplikowane. Jest to podejście wzorowane na wspomnianej cyfrowej strategii OCI. Rezultaty swoich prac autor przedstawił w sekcji 2.5. autoreferatu.

Podsumowując, wyniki prac prowadzonych przez habilitanta i opisanych w kolejnym rozdziale niniejszego autoreferatu znaleźć mogą zastosowanie w takich obszarach jak:

- analiza sygnałów biomedycznych
- rozwój metrologii, technik sensorowych oraz technik testowania układów scalonych
- projektowanie układów elektronicznych zasilanych z wykorzystaniem technik human energy harvesting
- szybka emulacja i testowanie koncepcji systemu mieszanego złożonego z części cyfrowej i analogowej
- sprzętowa implementacja sztucznych sieci neuronowych
- sprzętowe przetwarzanie obrazu – zwłaszcza wymagające zrównoleglenia obliczeń
- wstępny preprocessing sygnałów analogowych z rekonfiguracją „w biegu”

## **2. Opis badań prowadzonych przez habilitanta**

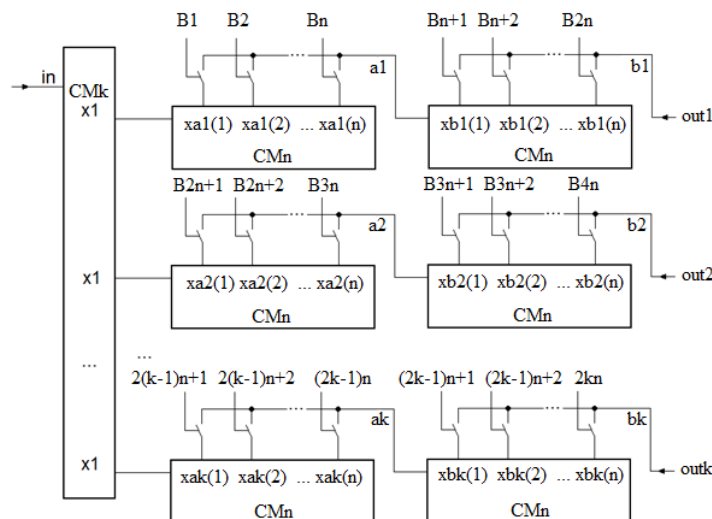
W niniejszym rozdziale opisane zostały osiągnięcia naukowe habilitanta na podstawie cyklu publikacji wymienionego w rozdziale IV b) autoreferatu. Sekcja 2.1. omawia autorską implementację rekonfigurowalnych układów CMOS. W sekcji 2.2. opisana została adaptacja powyższych rozwiązań do zadań implementacji sieci neuronowych. Sekcja 2.3. poświęcona jest implementacji sieci perceptronowych, zasilanych rozwiązaniami klasy energy harvesting i

dedykowanych do zastosowań w medycynie i elektrochemii. Sekcja 2.4. opisuje osiągnięcia w zakresie implementacji konwerterów napięcie-prąd oraz modulatora  $\Sigma\Delta$ . Ostatnia sekcja, 2.5. omawia autorskie narzędzia EDA pozwalające na łatwe korzystanie z wypracowanych rozwiązań sprzętowych.

W niniejszym rozdziale habilitant wymienia swoje osiągnięcia w sposób opisowy podając jedynie w niektórych przypadkach szczegóły implementacyjne. W pozostałych przypadkach zamieszczona jest informacja odsyłająca do konkretnych rozdziałów, sekcji, tabel i rysunków w artykułach, gdzie szczegółowo habilitant opisał swoje rozwiązania.

## 2.1. Architektura rekonfigurowalna klasy FPAA

Habilitant swoją pracę rozpoczął od zaprojektowania najprostszego układu rekonfigurowalnego pracującego w trybie prądowym i dającego się w łatwy sposób przeprogramować. Układem tym jest widoczne na rys. 2. wielowyjściowe rekonfigurowalne zwierciadło prądowe (Reconfigurable Current Mirror – RCM) [A2, B2], którego współczynniki mnożące użytkownik może modyfikować za pomocą sygnałów cyfrowych.

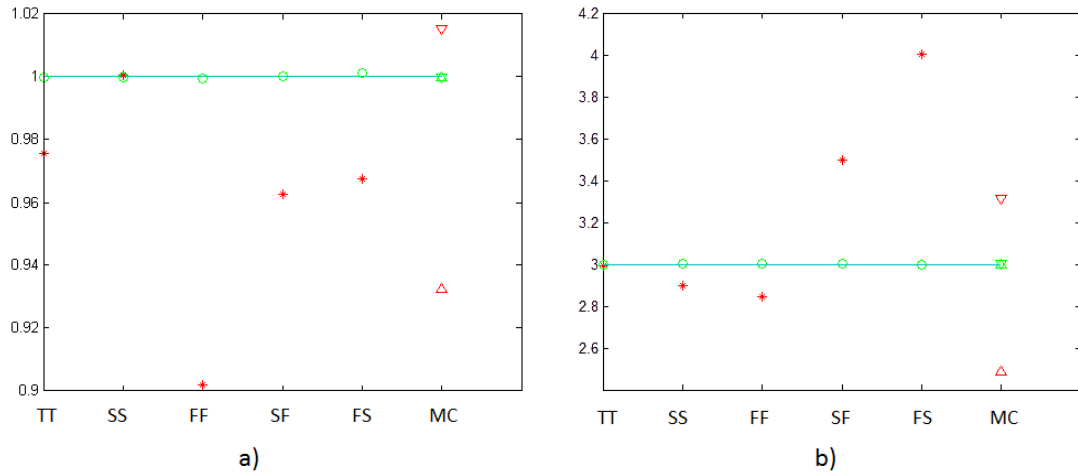


Rysunek 2 - Rekonfigurowalne zwierciadło prądowe (RCM) [B2]

Habilitant wykorzystał do zbudowania zwierciadła podejście często spotykane przy realizacji przetworników analogowo-cyfrowych polegające na szeregowym połączeniu dwóch takich przetworników, co ułatwia uzyskanie wysokiej rozdzielczości. Podobnie w strukturze widocznej na rys. 2. pojedynczy współczynnik skalujący zrealizowany jest za pomocą dwóch szeregowo połączonych zwierciadeł  $CM_n$  z  $n$  wyjściami przełączanymi za pomocą kluczy (switchy) sterowanych słowami cyfrowymi  $B$ . Takich kaskadowych połączeń w układzie RCM jest tyle, ile wyjść ze zwierciadła, czyli  $k$ . Sygnał wejściowy  $in$  podawany jest na kaskady przetworników za pomocą powielającego go zwierciadła  $CM_k$  o  $k$  wyjściach ze współczynnikami skalującymi równymi 1. Dzięki temu cały układ z poziomu interfejsu analogowego zachowuje się jak typowe zwierciadło prądowe, tj. odwraca kierunek prądu oraz mnoży jego wartość. Pojedynczy układ  $CM_n$  można zinterpretować jako  $n$ -bitowy przetwornik DAC. Jego struktura została zademonstrowana w pracy [49], której habilitant jest współautorem. Struktura ta została zaproponowana i zoptymalizowana przez dra inż.

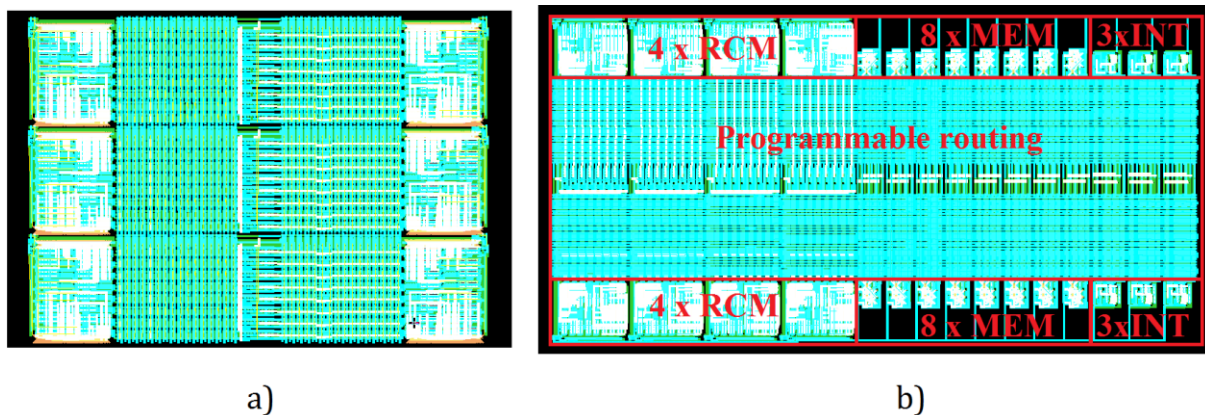
Mariusza Naumowicza. Habilitant z kolei opracował przetwornik  $2n$ -bitowy dla układu RCM utworzony z szeregowego połączenia układów CMn i zaproponował własną metodę jego programowania znacząco zwiększającą dokładność implementacji współczynnika mnożącego w stosunku do klasycznego podejścia opisanego w [49] bazującego na optymalizacji.

Współczynnik skalujący danej gałęzi, w której znajduje się kaskada dwóch zwierciadeł, jest równy iloczynowi współczynników mnożących tych zwierciadeł. Warto zwrócić uwagę, że jeżeli słowo programujące każdego ze zwierciadeł jest  $n$ -bitowe, to przetworniki nie są de facto  $2n$ -bitowe, gdyż liczba unikalnych kombinacji bitowych wynosi  $2^{2n} - \sum_{i=1}^{2^n-1} i$ . Zmniejszenie rozdzielczości wynika z redundancji rozwiązań. Przykładowo współczynnik równy '2' może zostać zrealizowany poprzez kombinacje mnożeń w kaskadzie '1\*2', '2\*1', '0.5\*4', '8\*0.25' itp. Jest to pewne ograniczenie, które skutkuje zmniejszeniem rozdzielczości zwierciadła. Habilitant postanowił jednak wykorzystać tę cechę układu, by zwiększyć dokładność odwzorowania współczynnika skalującego. Klasyczne podejście projektowania analogowych układów zakłada po zbudowaniu prototypu wykonanie jego optymalizacji oraz sprawdzenie odporności na rozrzut parametrów po fabrykacji [29]. Jest to podejście czasochłonne ze względu na konieczność wykonania symulacji w każdej iteracji algorytmu optymalizacyjnego. Jest ono też nieefektywne, gdyż daje gwarancję zachowania po fabrykacji zoptymalizowanych parametrów jedynie z pewnym prawdopodobieństwem. Mimo dużego wysiłku włożonego w zaprojektowanie układu o wyśrubowanych parametrach, użytkownik otrzymuje rozwiązanie o rzeczywistych, gorszych osiągnięciach. Podejście zaproponowane przez habilitanta nie wymaga przeprowadzania optymalizacji – zakłada się, że każde ze zwierciadeł CMn będzie cechowało się swoim własnym rozrzutem. Ważne jest jedynie, by zapewnić możliwość zweryfikowania aktualnych parametrów układu. Siatka wygenerowana może być również po fabrykacji - wystarczy zapewnić w narzędziach do syntezy funkcjonalność kalibracji układu RCM na podstawie siatki generowanej dla rzeczywistego układu. Kalibracja jest działaniem podejmowanym jednorazowo, natomiast z uzyskanej siatki można korzystać wielokrotnie w trakcie użytkowania układu. W pracy [A4] habilitant opisał autorską metodę generacji siatki rozwiązań dla układu RCM. Późniejsze programowanie z wykorzystaniem siatki pozwala na uwzględnienie w zadaniu konfigurowania współczynników skalujących rzeczywistych wartości tych współczynników tj. po rozrzucie. Rozrzut staje się korzystną cechą układu analogowego – znosi redundancję, każde rozwiązanie jest unikatowe. Rezultat zaprezentowany w pracy [B2] pokazuje średnią dokładność odwzorowania współczynników skalujących na poziomie 0.0657% ich wartości w całej siatce zawierającej 2080 współczynników w przedziale 0.02 – 4.1986. Rezultaty analiz opublikowane w [A2] pokazują dużą odporność na rozrzut procesu produkcji rekonfigurowalnych układów analogowych programowanych w opisany sposób. Na rys. 3. pokazano odwzorowanie współczynnika skalującego o wartości 1 (rys. 3a)) oraz o wartości 3 (rys. 3b)) po rozrzucie (analiza z wykorzystaniem plików technologicznych producenta TSMC) według klasycznego podejścia (punkty czerwone) oraz według podejścia zaproponowanego przez habilitanta (punkty zielone). Jak widać, zaproponowane podejście praktycznie eliminuje wpływ zjawiska rozrzutu – nie stanowi natomiast kolejnej metody jego predykcji.



Rysunek 3 – Analiza rozrzutu dla układu RCM [A2]

Habilitant zaprojektował widoczne na rys. 4. IPcory (Intellectual Property Core) z układami RCM, które pozwoliły na implementację różnych struktur układów analogowych.



Rysunek 4 - IPcory układów klasy FPAA: a) akceleratora sprzętowego do konwersji przestrzeni barw [B2], b) układu do syntezy preprocesorów obrazu oraz filtrów [A2]

Architektura układów wzorowana jest na cyfrowych układach typu CPLD (Complex Programmable Logic Device). Układ widoczny na rys. 4a) wyposażony jest w 6 zwierciadeł 8-wyjściowych, natomiast na rys. 4b) w 8 zwierciadeł, 16 pamięci SI [30] oraz 6 integratorów SI [31]. Układy programowane są poprzez cyfrowy interfejs. Znaczną część topografii (ok. 70%) stanowi routing modułów złożony z macierzy kluczy oraz układów usuwających składowe współbieżne z sygnałów różnicowych. Macierz bloków i połączeń w topografii została wygenerowana za pomocą systemu opisanego w [A6] zaadoptowanego do generacji komórek traktujących oraz ścieżek połączeń. Floorplan routingu jest oparty na stałej wysokości pojedynczego wiersza połączeń, jak pokazano na rys. 3. w [A6].

W pracy [A4] habilitant zaproponował metodę programowania routingu modułów analogowych pracujących w trybie prądowym i przygotowanych do implementacji obwodów o strukturze zbalansowanej. Metoda opisana przez habilitanta w [A4] zapewnia najmniejszą długość połączeń, co wpływa na szybkość działania układów. Autorskim osiągnięciem jest też

zapewnienie pełnej symetrii ścieżek sygnałów o przeciwnych znakach, co pozwala na uzyskanie jednolitych opóźnień w sygnałach różnicowych. Rezultatem jest wysoka dokładność przetwarzania, co potwierdzone jest parametrami zsyntezowanych obwodów opisanych poniżej. Dodatkowo w routingu habilitant zamieścił autorskie bloki usuwania składowej współbieżnej CMRR (Common Mode Rejection Ratio), co również podnosi dokładność przetwarzania. Więcej na temat tych bloków powiedziane zostało w sekcji 2.2. niniejszego autoreferatu.

Habilitant przeprowadził syntezy różnych struktur analogowych z wykorzystaniem zaprojektowanych przez siebie IPcorów klasy FPAA. Podsumowanie rezultatów implementacji wraz z uzyskanymi parametrami znajduje się poniżej.

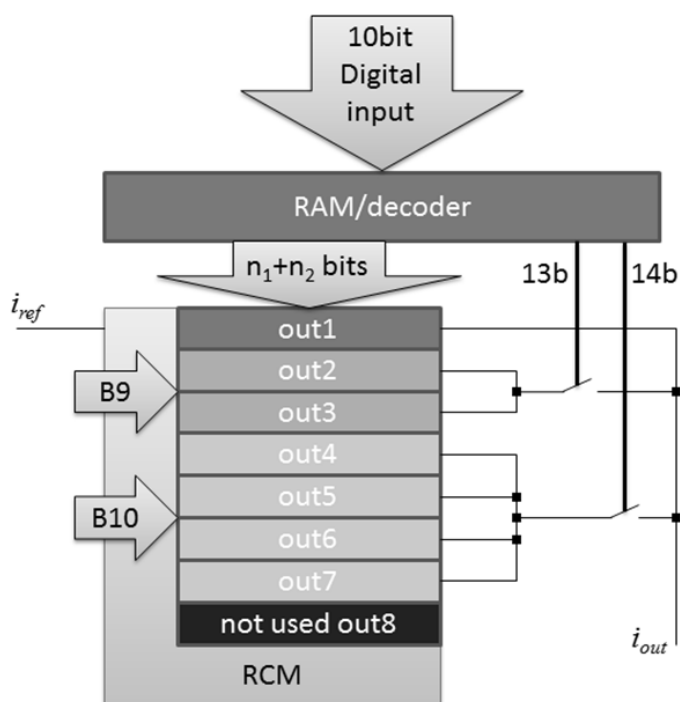
#### **a) Konwerter przestrzeni barw RGB -> YCbCr [B2]**

Układ złożony z 6 modułów RCM, zaimplementowany w technologii 180 nm. Dokładność processingu została zestawiona w pracy [A2] z klasyczną implementacją jako układ ASIC (Application Specific Integrated Circuit). Parametr PSNR (Peak Signal to Noise Ratio) dla modułu rekonfigurowalnego zaprojektowanego przez habilitanta wynosił 46.95 dB, a układu dedykowanego zaprezentowanego w literaturze i zaprojektowanego w tej samej technologii po optymalizacji 49.16 dB, natomiast w technologii 90 nm 43.54 dB [32]. Szybkość konwersji modułu rekonfigurowalnego dla standardu QVGA wyniosła 19.2 ms, dla HVGA 38.4 ms i dla VGA 76.8 ms. Układ rekonfigurowalny dorównuje więc parametrami klasycznym implementacjom klasy ASIC.

#### **b) 10-bitowy przetwornik DAC [A2]**

Jest to przykład pokazujący moc obliczeniową pojedynczego modułu RCM. Habilitant zastosował rekonfigurowalne 8-wyjściowe zwierciadło prądowe i zaproponował metodę poprawy współczynników INL (Integral Nonlinearity) i DNL (Differential Nonlinearity) przetworników realizowanych w ten sposób. Pierwsze z wyjść zwierciadła konfigurowane jest za pomocą 8 bitów. Bity te stanowią 8 najmłodszych bitów przetwornika DAC. Pozostałe 7 wyjść zwierciadła konfigurowane jest sygnałem cyfrowym wybieranym metodą zaproponowaną przez habilitanta i opisaną szczegółowo w pracy [A2] w rozdziale 4.1. Metoda ta gwarantuje jednolity rozkład redundancji rozwiązań współczynników skalujących w całej przestrzeni zmian sygnału wyjściowego z przetwornika. Wyjścia 2 i 3 są zwarte i sterowane sygnałem 'enable', który stanowi 9. bit przetwornika DAC. Wyjścia 4-8 również są zwarte i konfigurowane 10. bitem przetwornika. Schemat połączeń przetwornika widoczny jest na rys. 5. Zastosowanie pamięci RAM lub dekodera jest konieczne ze względu na sposób konfigurowania pojedynczego wyjścia zwierciadła. Parametry przetwornika zostały podsumowane i porównane z innymi implementacjami w pracy [A2] w tabeli II. Układ cechuje się dwukrotnie mniejszymi błędami INL i DNL, ponad 10 razy mniejszym poborem mocy oraz porównywalnym do rozwiązań dedykowanych parametrem FoM. W pracy [A2] opisano też zachowanie się błędów nieliniowości w całej przestrzeni cyfrowych sygnałów sterujących. Habilitant pokazał we wspomnianej pracy, że zastosowanie dwóch

różnych siatek predefiniowanych wartości pozwala znieść monotoniczność charakterystyk błędów INL i DNL. Przy użyciu zaproponowanej metody błędy te nie zachowują się tak, jak dla typowej implementacji przetwornika, z czego wynikają znacznie lepsze ich wartości w porównaniu z innymi implementacjami.

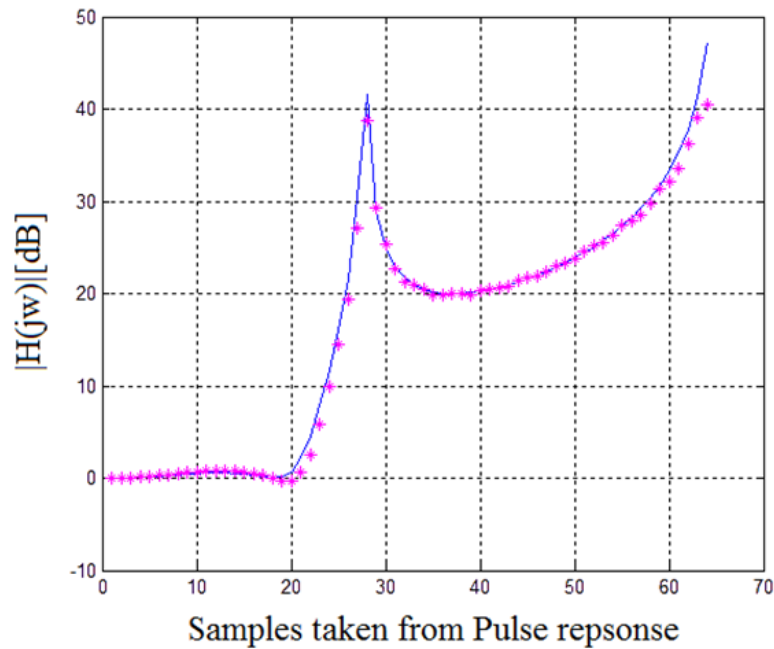


Rysunek 5 - Przetwornik DAC zrealizowany z użyciem autorskiego modułu RCM [A2]

### c) Filtr eliptyczny [A2]

Jest to układ złożony z trzech integratorów biliniowych [31] i ośmiu zwierciadeł syntezowany z prototypu żyratorowo-pojemnościowego. Habilitant wykonał analizy różnych metod wyznaczania parametrów prototypu pod kątem rozrzutu wartości parametrów, którego mała wartość jest warunkiem synteżowalności układu (przykładowo implementacja współczynników skalujących różniących się o wiele rzędów wartości jest niemożliwa z wykorzystaniem pojedynczych zwierciadeł prądowych nawet w układach dedykowanych ASIC). Habilitant wykonał analizy zsyntezowanego przykładu filtra eliptycznego 3-rzędu. Charakterystyka filtra uzyskana w drodze symulacji post-layoutowych widoczna na rys. 6. pokazuje dokładność przetwarzania zbliżoną do cyfrowych implementacji. Na poziomej osi wykresu zaznaczone zostały kolejne próbki wyliczone z wykorzystaniem szybkiej transformaty Fouriera (FFT) z symulacji odpowiedzi impulsowej. Linia ciągła przedstawia krzywą teoretyczną, z kolei symbole "\*" przedstawiają punkty charakterystyki uzyskane z symulacji IPCora.





Rysunek 6 - Charakterystyka filtru eliptycznego 3-rzędu [A2]

Układ po syntezie zasilany napięciem 1.8V pobiera moc 22.97 mW. Częstotliwość zegara kluczującego integratory biliniowe wynosi 3.6 MHz. Wykonana synteza układu mieszanego (analogowego z czasem dyskretnym) jest przykładem implementacji obwodu łączącego w sobie cechy niskiego poboru mocy układów analogowych i wysokiej dokładności processingu sygnałów w układach cyfrowych.

#### d) Blok obliczeń dwuwymiarowej transformaty kosinusowej 2D-DCT [A2]

Jest to drugi obok konwertera przestrzeni barw sprzętowy akcelerator obliczeń wykonywanych na obrazie. Układ przewidziany do przetwarzania ramek o rozmiarze 4x4 zsyntezowany został przez habilitanta przy użyciu 8 zwierciadeł RCM i 16 pamięci SI [30]. Implementacja porównana została w pracy [A2] w tabeli IV z dwoma realizacjami ASIC w tej samej technologii tj. 180 nm. Ponownie uwagę zwraca wysoka precyzja przetwarzania. Współczynnik PSNR dla implementacji z wykorzystaniem FPAA wyniósł 53.05 dB, podczas gdy dla układów ASIC wynosił on 47 dB oraz 35.5 dB. Szybkość wykonywania obliczeń jest zbliżona do wspomnianych rozwiązań dedykowanych.

#### e) Para filtrów [A4]

Para filtrów 5-rzędu jest układem złożonym z 5 integratorów biliniowych oraz 8 par zwierciadeł RCM. Implementacja w rekonfigurowalnym IPCorze cechuje się poborem prądu o wartości 25.13 mA i maksymalną częstotliwością zegarów kluczujących integratory równą 1.5 MHz. Szczegóły implementacyjne wraz z symulacjami post-layoutowymi i charakterystyką częstotliwościową zostały pokazane w pracy [A4].

Parametry wszystkich powyższych układów zostały wyznaczone w drodze symulacji post-layoutowych. Habilitant jest autorem topografii wszystkich IPCorów. Warto dodać, że habilitant zaprojektował topografię w sposób modułowy tzn. tak, że zasoby matrycy FPAA mogą być dowolnie dobierane w zależności od potrzeb projektanta. Pojedynczy moduł składa się z pary bloków do przetwarzania sygnałów różnicowych i programowalnego routingu. Blokami mogą być zwierciadła prądowe, integratory, pamięci itp. Moduły mają postać wiersza o stałej wysokości i mogą być dokładane do topografii IPCora. Stąd inna jest architektura IPCora, w którym zrealizowano konwerter przestrzeni barw (rys. 4a), gdzie są 3 moduły, a inna pozostałych przykładów (rys. 4b), gdzie zastosowano 15 modułów. Podejście to gwarantuje użytkownikowi elastyczność w wyborze zasobów – zależnie od wymagań projektowych czy dostępnego miejsca na chipie. IPCore wyposażony w odpowiednio dużą liczbę modułów może też być wykonany jako uniwersalny, programowalny układ ASIC.

## 2.2. Sieci neuronowe pracujące w trybie prądowym

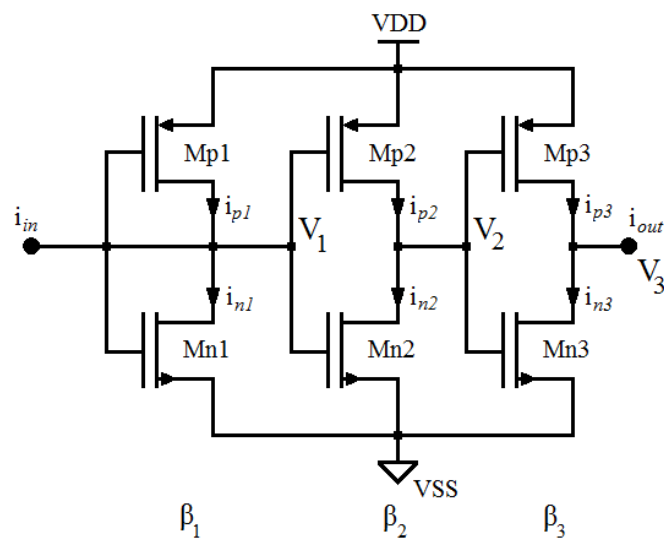
Kolejnym krokiem w realizacji rekonfigurowalnych preprocesorów była implementacja sieci neuronowej bazująca na wykorzystaniu modułów RCM w roli układów realizujących wagi perceptronów. Szczegóły tej implementacji zostały opisane w pracy [A1]. Wartości wag programowane są przy użyciu poniższego równania (1):

$$w = \sum_{i=1}^{n_1} 2^i A[i] \alpha_A \cdot \sum_{j=1}^{n_2} 2^j B[j] \beta_B \quad (1)$$

gdzie  $\alpha$  i  $\beta$  są współczynnikami skalującymi zwierciadeł CMn z rys. 2., słowa  $A$  i  $B$  służą do programowania tych zwierciadeł i mają długość odpowiednio  $n_1$  i  $n_2$ . W tabeli I pracy [A1] zestawione zostały rezultaty implementacji takiego układu mnożącego z innymi implementacjami. Układ zaproponowany przez habilitanta jest zdecydowanie najszybszy, jeśli chodzi o moc obliczeniową. Tylko jedna implementacja okazuje się być o 46% szybsza, ale pobiera ponad 100 razy większą moc.

W pracy [A1] habilitant opisał układ służący do usuwania składowej współbieżnej. Układ ten składa się z trzech dwuwyjściowych zwierciadeł prądowych. Ideę jego działania omawia rozdział 2.3. pracy [A1]. Układ wyznacza w pierwszej kolejności wartość składowej współbieżnej poprzez dodanie sygnałów różnicowych o przeciwnych znakach. Wynikiem tego dodawania jest podwójna wartość błędu, która po podzieleniu przez 2 oraz naprzemiennym dodaniu do sygnałów różnicowych powoduje usunięcie składowej współbieżnej z obu sygnałów. Układ został po raz pierwszy zaprezentowany w rozprawie doktorskiej habilitanta pt. *Computer tools for layout generation of switched-current circuits*, obronionej dnia 23 kwietnia 2013 r. Pierwsza jego publikacja z dokładnym opisem w czasopiśmie JCR miała miejsce właśnie w pracy [A1]. Wcześniej schemat układu bez dokładnej analizy został przedstawiony w pracy [47], której habilitant jest jednym z autorów. Wzmianka o układzie miała miejsce również w pracy [48] – habilitant jest jednym z jej autorów.

Kolejnym osiągnięciem habilitanta było zaproponowanie nowej struktury tranzystorowej implementacji neuronu z sigmoidalną funkcją aktywacji. Jak było wspomniane w rozdziale 1., implementacje sztucznych sieci neuronowych wymagają w przypadku rozwiązań cyfrowych zastosowania dużych tablic wartości predefiniowanych lub skomplikowanych układów arytmetycznych w celu uzyskania funkcji sigmoidalnej. W implementacjach analogowych [13-16] stosuje się z kolei nieciągłe lub przedziałami ciągle aproksymacje liniowe. Te są mniej kosztowne, wymagają mniejszych zasobów, ale są znacznie mniej dokładne. Z drugiej strony układy fizyczne oparte na technologii CMOS są ze swej natury ciągłe i zdaniem habilitanta należałoby zaproponować implementację analogową ciągłą, monotoniczną i dającą się modelować za pomocą funkcji różniczkowalnej w całym przedziale. Habilitant do swojej implementacji wykorzystał strukturę złożoną z 6 tranzystorów widoczną na rys. 7.



Rysunek 7 - Tranzystorowy model aksonu z różniczkowalną funkcją aktywacji [A1]

Idea działania układu opiera się na zastosowaniu prostego inwertera w roli modułu kształtującego funkcję sigmoidalną. Habilitant założył, że przy odpowiednio dobranych rozmiarach tranzystorów charakterystyka statyczna inwertera w dziedzinie napięć jest kształtem zbliżona do funkcji tangensa hiperbolicznego. Podstawowym problemem jest jedynie transformacja tej zależności do dziedziny prądów. Rozdział 2.2. pracy [A1] omawia szczegóły teoretyczne tego przekształcenia. Finalnym rezultatem tych analiz jest zależność na prąd wyjściowy  $i_{out}$  z aksonu widocznego na rys. 7. w postaci poniższego równania (2) opisującego funkcję wyjścia jako złożenie trzech funkcji:

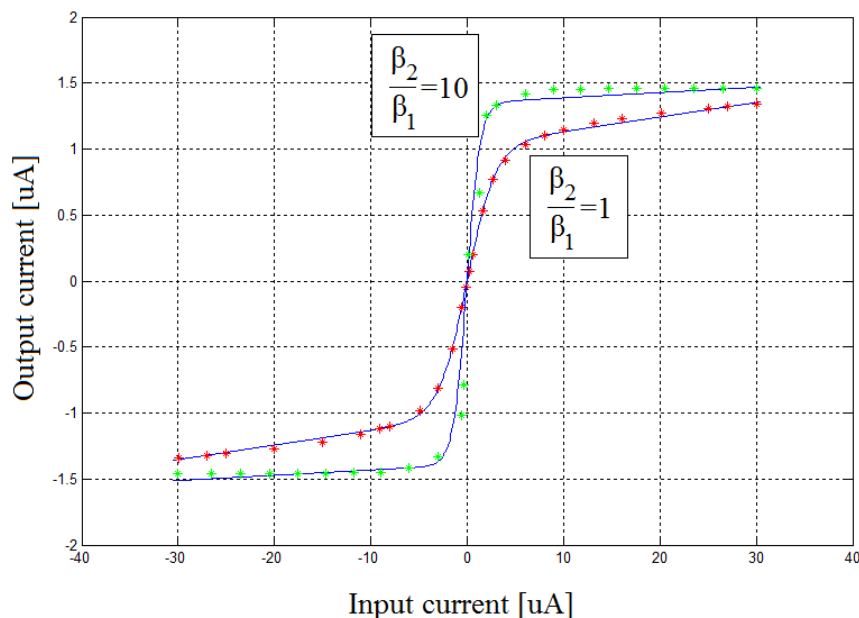
$$i_{out} = g \circ f_s \circ h(i_{in}) \quad (2)$$

gdzie funkcje  $g$  i  $h$  są funkcjami liniowymi, natomiast funkcja  $f_s$  jest złożeniem funkcji tangensa hiperbolicznego i funkcji liniowej. Równanie to – jako że składa się jedynie z funkcji liniowych i tangensa hiperbolicznego – jest oczywiście różniczkowalne i daje możliwość zdefiniowania modelu matematycznego funkcji aktywacji dla modelu tranzystorowego. Jest to duże osiągnięcie pozwalające na uczenie sieci neuronowej z

wykorzystaniem klasycznych algorytmów, gdzie wymagane jest wyznaczenie pochodnej lub wyliczenie gradientu funkcji celu (metoda propagacji wstecznej, metoda Levenberga-Marquardta). Dotychczasowe metody implementacji sieci neuronowych sprowadzały się do uczenia modelami nieadekwatnymi do implementacji sprzętowych. Przejście od wyuczonego modelu matematycznego do implementacji fizycznej oznaczało dodatkowe błędy odwzorowania odpowiedzi sieci, na które użytkownik nie miał wpływu. W podejściu zaproponowanym przez habilitanta wyeliminowano problemy tego etapu implementacji – tranzystorowa sieć jest uczona na bazie swojego różniczkowalnego modelu. Funkcja aktywacji jest według zdefiniowanego wcześniej złożenia (2) wyrażona poniższym równaniem (3):

$$i_{out} = \gamma(1) \cdot i_{in} + \gamma(2) \cdot \tanh\left(\frac{i_{in}}{\gamma(3)} + \gamma(4)\right) + \gamma(5) \quad (3)$$

gdzie współczynniki  $\gamma$  są stałymi. Ich wartości dobierane są w bardzo prosty sposób na podstawie analizy stałoprądowej w drodze symulacji układu tranzystorowego. Zastosowana do tego celu może być dowolna metoda optymalizacji, gdzie funkcją celu jest błąd odwzorowania charakterystyki uzyskanej w symulacji. Na rys. 8. pokazano, w jaki sposób układ z rys. 7. odwzorowuje charakterystykę opisaną wspomnianym równaniem. Czerwone i zielone punkty zostały zebrane z symulacji układu CMOS. Linia ciągłą wykreślono matematyczną funkcję aktywacji. Porównanie sporządzono dla dwóch różnych parametrów transkonduktancji urządzenia tranzystorów z rys. 7.

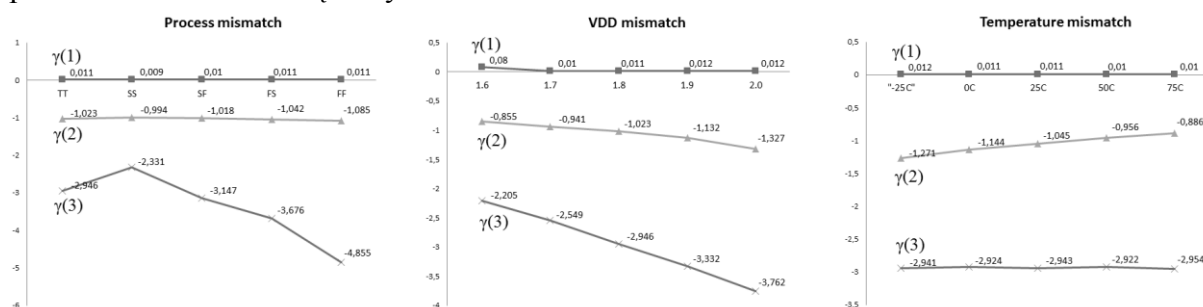


Rysunek 8 - Porównanie charakterystyki układu CMOS (\*) i charakterystyki wynikającej z opisu matematycznego [A1]

Przy stosunku transkonduktancji urządzenia równym 1 wartości stałych  $\gamma(4)$  i  $\gamma(5)$  wynoszą 0, co upraszcza model matematyczny.

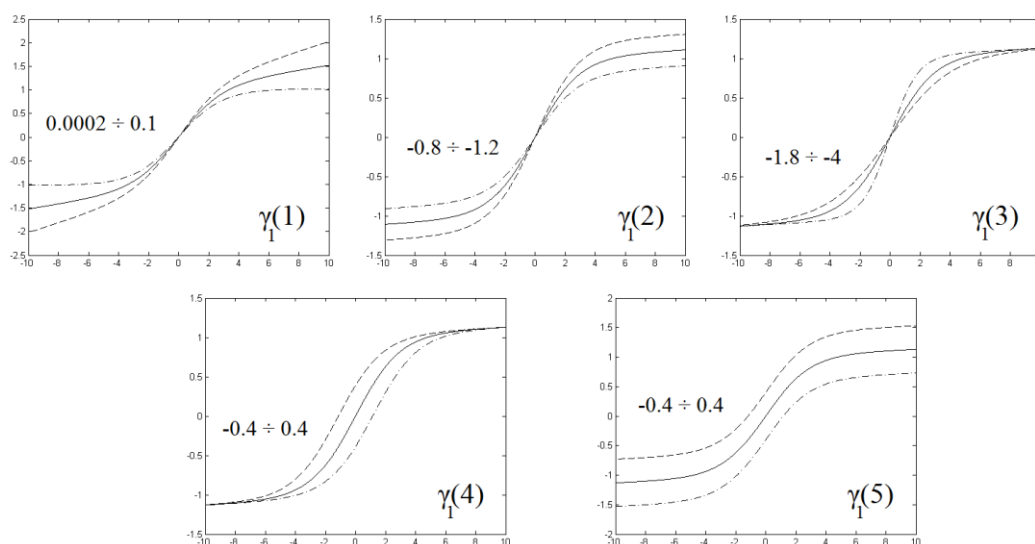
W pracy [A1] przedyskutowano ponadto sposób doboru rozmiarów tranzystorów w aksonie pod kątem przetwarzania prądów o określonych wartościach (rys. 5. z pracy [A1]). Ze względu na stosunkowo dużą szybkość przetwarzania zaproponowaną w artykule prądy te wyrażane są w pojedynczych  $\mu\text{A}$ .

Habilitant przeprowadził również analizę PVT wrażliwości sieci neuronowej. Z jednej strony sprawdził, że sieć wykazuje niewielką wrażliwość na rozrzut parametrów procesu (P), zasilania (V) i temperatury (T). Z drugiej strony pokazał, że zmiany parametrów, które pojawiają się w wyniku rozrzutu, nie są istotne ze względu na dokładność przetwarzania. Parametry  $\gamma(4)$  i  $\gamma(5)$  pozostają niezmiennie w trakcie rozrzutu. Zmiany pozostałych parametrów widoczne są na rys. 9.



Rysunek 9 - Analiza PVT parametrów aksonu [A1]

Jak widać, największą wrażliwością cechuje się parametr  $\gamma(3)$ , który nie wpływa na offset odpowiedzi ani na błąd przejścia przez punkt 0. Wpływa on jedynie na stromość funkcji aktywacji (selektywność aksonu). Rola poszczególnych parametrów widoczna jest na rys. 10.



Rysunek 10 - Wpływa parametrów aksonu na odwzorowanie funkcji aktywacji [A1]

Habilitant wykonał również analizę wrażliwości tranzystorowego dendrytu, czyli układu implementującego wagi perceptronu. Wyniki tej analizy są bardzo zbliżone do rezultatów widocznych na rys. 3. niniejszego autoreferatu. Wyniki analizy (rys. 13. w pracy [A1]) pokazują całkowitą niezależność układu programowanego metodą siatki predefiniowanych wartości od rozrzutu parametrów i dowodzą, że podejście zaproponowane

przez habilitanta stanowi odpowiedź na problem wrażliwości układów analogowych oraz problem kontroli parametrów tych układów po fabrykacji.

Habilitant omówił w [A1] dwie implementacje sieci perceptronowych: prostej sieci naśladującej funkcję nieliniową oraz bardziej złożonej sieci rozpoznającej wzorce. Omówił metodę połączenia pojedynczych neuronów oraz warstw neuronów wraz z układami eliminacji składowych współbieżnych. Topografie wszystkich zaproponowanych modułów (modułu aksonu, modułu dendrytu, układu CMRR) zostały zaprojektowane z użyciem autorskich narzędzi EDA, które habilitant realizował w ramach swojego doktoratu i rozwijał częściowo po doktoracie. Moduły zostały zaprojektowane z wykorzystaniem strategii wierszowej dedykowanej dla układów cyfrowych, co pozwala na implementację preprocesora na wspólnym podłożu z częścią cyfrową systemu mieszanego. Floorplan sieci neuronowej został zaprojektowany z wykorzystaniem metody opisanej w [A6] (rys. 3.), bazującej na wyznaczeniu wspólnej wysokości topografii układów dendrytu, aksonu i CMRR. Fragment tak zrealizowanej topografii sieci został przedstawiony na rys. 10. w pracy [A1].

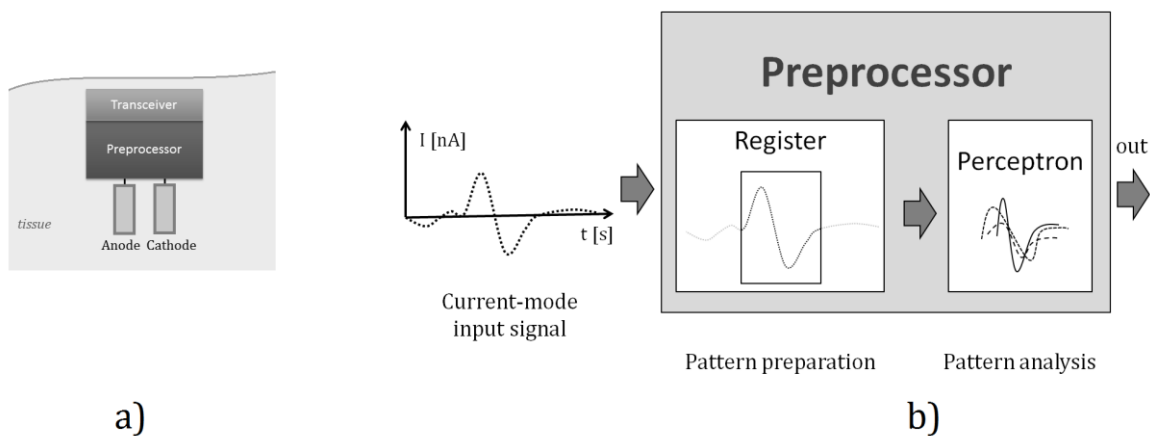
Zadaniem sieci rozpoznającej wzorce była analiza niewielkich obrazów. Sieć nauczona została 26 liter alfabetu. W wykonanych symulacjach habilitant pokazał bezbłędne rozpoznanie wszystkich nauczonych wzorców niezaszumionych przez sprzętową implementację sieci (rys. 15. w [A1]). Ze względu na wykorzystanie sygnałów różnicowych odpowiedź negatywna sieci ustandaryzowana została do wartości  $-1\mu\text{A}$ . Odpowiedź pozytywna ma wartość  $+1\mu\text{A}$ . Można również przyjąć, że odpowiedź sieci zmienia się z chwilą przejścia przez punkt  $0\mu\text{A}$  – stąd kierunek prądu na wyjściu sieci jest nośnikiem informacji. Habilitant sprawdził ponadto odpowiedź sieci na wzorce zaszumione i sporządził macierz konfuzji, na podstawie której wyznaczył parametry sieci takie jak precyzja, specyficzność, dokładność, wrażliwość. Parametry sieci, w tym również parametry elektryczne zostały zebrane w tabeli 2. w pracy [A1] i porównane z innymi implementacjami sieci neuronowych w tabeli 3. w pracy [A1]. Implementacje habilitanta cechują się przede wszystkim dużą szybkością działania (większą od pozostałych implementacji) oraz poborami mocy porównywalnymi do rozwiązań dostępnych w literaturze. Stąd wynika ogólna poprawa parametrów FoM rozumiana jako stosunek obu parametrów. Ponadto implementacje habilitanta cechują się również wysoką precyzją przetwarzania na poziomie ponad 93% (tabela 2. w [A1]), co wynika przede wszystkim z zaproponowanego podejścia – zastosowania różniczkowalnego modelu rzeczywistej sieci w procesie jej uczenia oraz konfigurowania dendrytów na podstawie siatki rozwiązań.

### **2.3. Sieć neuronowa do przetwarzania sygnałów prądowych o natężeniu poniżej 1 nA**

Parametry poboru mocy, szybkości działania i powierzchni topografii jakiegokolwiek układu analogowego silnie od siebie wzajemnie zależą i są kwestią konsensusu. Opisana w poprzednim rozdziale implementacja sieci neuronowej cechowała się dużą częstotliwością przetwarzania danych, ale jej pobór mocy nie jest konkurencyjny. Habilitant w kolejnym etapie swojej pracy naukowej postanowił zaproponować implementację o silnie konkurencyjnych parametrach, jeśli chodzi o pobór mocy. Jak wspomniano już we wstępie autoreferatu w przypadku poborów mocy mierzonych w mW wielkości ogniw

wykorzystywanych w technikach *human energy harvesting* dziesiątki tysięcy razy przewyższają wielkość układów. Rozwiązaniem tego problemu wydaje się zatem redukcja mocy do nW. Habilitant w trakcie swoich badań zauważył, że wraz z redukcją mocy następuje poprawa współczynnika FoM rozumianego jako stosunek szybkości przetwarzania do pobieranej mocy. Oznacza to, że podczas redukcji napięcia zasilania szybkość przetwarzania maleje wolniej niż pobór mocy. Kolejną inspiracją habilitanta były kontakty międzynarodowe. Podczas *Seasonal School on Circuits-and-Systems for the IoT* odbytego w 2016 r. w Lizbonie habilitant zaznajomił się z dotychczasowymi osiągnięciami współczesnej nauki w dziedzinie amperometrii, która pozwala obecnie np. na detekcję pojedynczych bakterii, jonów oraz śledzenie procesów życiowych w mikroorganizmach. Jest to zagadnienie ważne ze względu na szybką diagnostykę zespołów chorobowych. Na przykład analiza fuzji pęcherzykowej (tj. zjawisk transportu substancji odżywczych w komórkach [33]) pozwala orzec o stanie zdrowia tych komórek. Przykładowo artykuł w *Nature* z 2017 r. omawia to zagadnienie dla komórek ssaków w kontekście patologii nowotworowych [34]. Wykrycie nieprawidłowości w transporcie substancji odżywczych pomiędzy organellami daje szansę diagnozy symptomów nowotworowych jeszcze zanim będą one zauważalne w obrazie histopatologicznym tkanki w postaci dysplazji. Problem jest bardzo aktualny i domaga się tego, by zaproponować rozwiązanie w obszarze mikroelektroniki do analizy wspomnianych zjawisk.

Trudność polega na przetwarzaniu dość nietypowych jak na mikroelektronikę sygnałów o wartości zaledwie kilku nA. Jest to jednak często podejmowany problem w przypadku technik sensorowych. Struktura sensora w tym przypadku jest taka, jak widać na rys. 11a).



**Rysunek 11 - Koncepcja sensora z preprocesorem do analizy sygnałów biomedycznych [A3]**

Układ klasy *implantable-chip* analizuje prąd płynący pomiędzy elektrodami i wysyła informacje do systemu zbiorczego. Szczegółowa architektura układu preprocesora widoczna jest na rys. 11b). Próbkę prądowego sygnału zmiennego w czasie zapamiętywane są w rejestrze przesuwym. Zawartość rejestru w każdej kolejnej próbkę czasu ilustruje kształt analizowanego przebiegu. Kształt ten stanowi wzorzec do analizy w sieci neuronowej o topologii perceptronu. Sieć uczona jest w celu rozpoznawania patologicznych wzorców tj. kształtu przebiegu, który odpowiada pozytywnemu wynikowi badań wykonywanych w określonym kierunku.

W celu analizy prądów o wartościach mierzonych w ułamkach nA habilitant wykorzystał tryb obniżonego napięcia zasilania, gdzie napięcie bramka-źródło  $V_{GS}$  spełnia relację:

$$V_{GS} < V_T - 100mV \quad (4)$$

gdzie  $V_T$  jest napięciem progowym w danej technologii. Habilitant użył technologii TSMC 65 nm, gdzie napięcie zasilania wynosi 1.2 V. Spełnienie powyższej relacji jest możliwe przy obniżeniu napięcia zasilania do wartości 0.3 V. Jest to często wykorzystywana technika przy projektowaniu układów analogowych o niskich poborach mocy [35]. W pracy [A3] habilitant omówił szczegóły implementacyjne dendrytu, aksonu oraz realizację zadania programowania sieci neuronowej. Wyprowadził matematyczny model tranzystorowej implementacji sigmoidalnej funkcji aktywacji. Została opisana szczegółowa budowa układu przygotowującego wzorce oraz budowa całej sieci neuronowej. Działanie sieci zweryfikowano na przykładzie zadania analizy sygnału prądowego o natężeniu poniżej 1 nA. Rezultat ten został przedstawiony na rys. 16. w pracy [A3]. Sieć zwraca informacje w postaci zmiany kierunku prądu na wyjściu w przypadku pozytywnego rozpoznania wzorca. Ogromną korzyścią tego podejścia jest wykonanie wstępnego preprocessingu w sensorze. Jedyne dane, które są transmitowane do systemu zbiorczego, są pojedyncze bity w sytuacji, kiedy wzorec został rozpoznany. W pozostałych przypadkach nadajnik pozostaje w stanie wyłączenia. Zastosowanie alternatywnego podejścia w postaci przetwornika ADC analizującego wstępnie sygnał i zamieniającego go od razu na postać cyfrową byłoby nieefektywne, gdyż każda próbka analizowanego sygnału musiałaby być przesyłana i to z odpowiednio dużą rozdzielczością. Podejście zaproponowane przez habilitanta polegające na utrzymywaniu nadajnika w stanie czuwania aż do chwili rozpoznania wzorca jest przez to znacznie mniej kosztowne, jeśli chodzi o pobór mocy. Dużym osiągnięciem jest też niski pobór mocy. Zaprezentowana w [A3] sieć analizująca wzorce złożone z 15 próbek zebranych w kolejnych odstępach czasu pobiera 80.1 nW mocy, co w przeliczeniu na pojedynczy kanał obliczeniowy daje moc na poziomie 2.5 nW.

Jak wspomniano odpowiedź sieci jest binarna – w przypadku rozpoznania wzorca zmianie ulega kierunek prądu. Habilitant umieścił na wyjściu z sieci moduł komparatora konwertujący sygnał prądowy na postać cyfrową w standardzie LVDS (Low Voltage Differential Signaling) [A3]. Habilitant nie jest autorem struktury komparatora – przeprojektował on jedynie moduł pracujący przy pełnym napięciu zasilania do wersji pracującej przy obniżonym napięciu. Oryginalny komparator pracujący przy pełnym napięciu zasilania został opisany w pracy [A7]. W wersji dla obniżonego napięcia zasilania habilitant uzyskał pobór mocy komparatora na poziomie 1.3 nW przy przełączaniu stanu oraz 0.003 nW w trybie *standby* (przy niskim stanie wyjścia). Komparator zwraca informację cyfrową o kierunku prądu i analizuje prądy o wartości od  $\pm 0.5$  pA.

Parametry zaimplementowanej sieci zostały porównane z innymi realizacjami w tabeli II w pracy [A3]. Implementacja wykazuje się z jednej strony bezkonkurencyjnie niskim poziomem poboru mocy. Z drugiej strony uwagę zwracają jednak także parametry FoM, które – jak wspomniano – ulegają poprawie z chwilą obniżania napięcia zasilania. Parametry te (zarówno w przeliczeniu na pojedynczy neuron, jak i na kanał obliczeniowy) wychodzą blisko



100 razy lepsze niż w przypadku większości implementacji i pozostają najlepsze spośród wszystkich dotychczasowych implementacji, które udało się autorowi odnaleźć w aktualnej literaturze.

W pracy [A3] autor wykonał jeszcze szereg analiz potwierdzających odporność sieci na rozrzut i zakłócenia. Ze względu na niskie napięcie zasilania odwzorowanie wartości tego napięcia jest kluczowym aspektem w kontekście dokładności przetwarzania układu. Wynikiem przeprowadzonych analiz jest rys. 13. w [A3]. Sieć wykazuje dużą odporność na zwiększanie wartości napięcia zasilania do 15.67% jego wartości, natomiast jest mało odporna na obniżanie wartości tego napięcia. Analiza wrażliwości na rozrzut temperatury pokazuje dużą odporność sieci w całym przedziale od  $-0.7^{\circ}\text{C}$  do  $76.58^{\circ}\text{C}$  (rys. 12. w [A3]), czyli dla znacznie szerszego zakresu temperatur niż jest to wymagane w przypadku sensorów medycznych do analizy sygnałów w żywych organizmach. Kolejne analizy pokazały dużą odporność na zakłócenia w zasilaniu generowane w postaci sygnałów losowych. Przeprowadzona przez habilitanta analiza MonteCarlo dla 90 prób potwierdziła niezawodność działania zaimplementowanej sieci w zadaniu rozpoznawania wzorców. Analiza szumów (rys. 19. w [A3]) pozwoliła określić optymalny punkt pracy układu, którym jest częstotliwość zmian sygnału wejściowego na poziomie do 1 kHz, co w przypadku wspomnianej aplikacji sensora jest wystarczającą szybkością przetwarzania.

W ocenie habilitanta praca [A3] jest najistotniejszą pozycją w wykazanym dorobku naukowym, gdyż rozwiązuje szereg problemów takich jak: implementacja preprocesora do pracy w trybie zasilania z wykorzystaniem technik *human energy harvesting*, sprzętowa realizacja przetwarzania słabych sygnałów prądowych płynących w żywych organizmach, realizacja sensora do analizy procesów życiowych komórek np. w kontekście diagnostyki nowotworów.

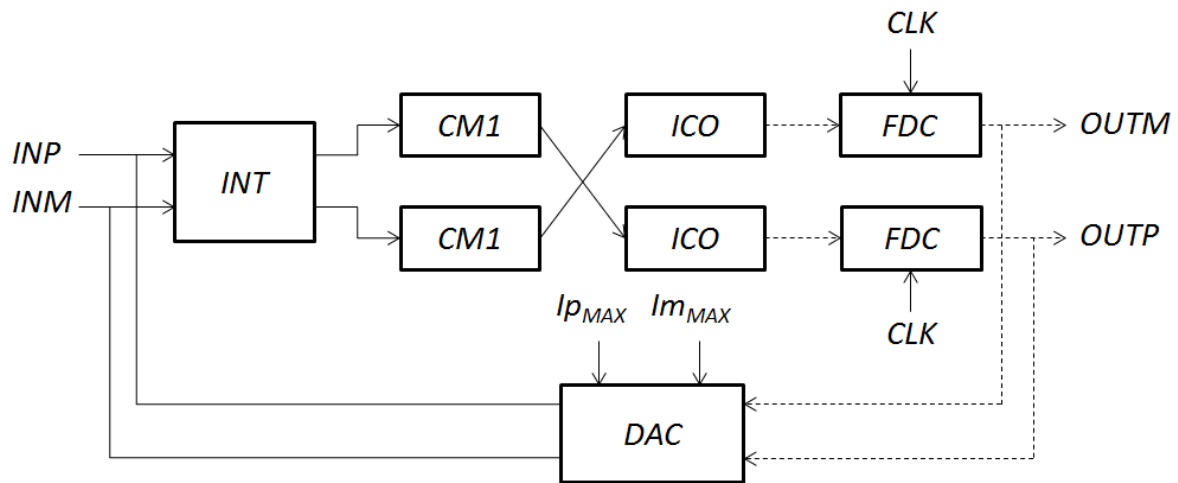
## 2.4. Interfejs $\Sigma\Delta$ oraz V-I preprocesora

Komparator na wyjściu sieci neuronowej umożliwia konwersję na postać cyfrową binarnej odpowiedzi sieci. W ogólności jednak wyjście rekonfigurowalnego preprocesora ma postać analogową – tak, jak w przypadku omówionych implementacji procesorów obrazu oraz filtrów. Brakującym ogniwem w torze przetwarzania jest zatem układ przetwornika analogowo-cyfrowego. Podstawowym determinanem w projektowaniu takiego przetwornika jest pasmo sygnału wejściowego [36], które dla układów syntezy w IPCorach FPAA (punkt 2.1.) mierzone jest w MHz, natomiast dla układów rekonfigurowalnych pracujących przy obniżonym napięciu zasilania (punkt 2.3.) wynosi mniej niż kilka kHz.

Jeśli chodzi o pierwszy przypadek, habilitant brał udział w pracach nad modulatorem  $\Sigma\Delta$  do zastosowań w przetwornikach ADC projektowanym dla pasma 2 MHz [A7]. Modulator może znaleźć zastosowanie w implementacji interfejsu A/C dla matrycy FPAA. Modulator pracuje w trybie prądowym, posiada strukturę drugiego rzędu i jest zaopatrzone w dwa filtry czasu ciągłego. Habilitant nie jest autorem struktury modulatora. Wkład habilitanta w realizację pracy [A7] polegał na zaprojektowaniu topografii modulatora i wyeksportowaniu post-layoutowej netlisty do symulacji modulatora.

Jeśli chodzi o interfejs dla rekonfigurowalnych układów niskich częstotliwości, habilitant zaproponował do zadań przetwarzania sygnałów biomedycznych modulator z

pasmem 20 kHz opisany w pracy [B1]. Struktura modulatora bazuje na topologii zaproponowanej w pracy [37] i widocznej na rys. 12.



Rysunek 12 - Topologia modulatora Sigma-Delta [37, B1]

Modulator składa się z układu integratora w pełni różnicowego (INT), który w [37] został wykorzystany zamiast typowego filtra dolno-przepustowego. CM1 są układami zwierciadeł prądowych o współczynniku skalującym 1. Nie występują one w [37], ale zostały dodane w [B1] w celu separacji części analogowej (integratorów) od części, w której generowane są sygnały binarne (ICO). Układami ICO są konwertery prąd-częstotliwość opisane w pracy [38]. Konwersji sygnałów z ICO na postać cyfrową dokonują moduły FDC. W pętli sprzężenia modulatora umieszczony jest układ przetwornika cyfrowo-analogowego DAC. Habilitant jest autorem modułu DAC opisanego w pracy [B1] oraz układów separujących CM1. Pozostałe moduły zostały zaczerpnięte z literatury ([A7,37-39]). Moduł ICO został przez habilitanta przeprojektowany dla technologii 65 nm na podstawie implementacji w technologii 180 nm opisanej w [38]. Habilitant dokonał złożenia obwodu modulatora z bloków, których jest autorem (DAC, CM1), oraz bloków, których autorem nie jest (INT, ICO, FDC). Habilitant zaprojektował topografię finalnej wersji modulatora i wyekstrahował netlistę post-layoutową do symulacji. Parametry modulatora zostały zebrane w tabeli 1. w [B1], gdzie porównano je z implementacjami o podobnym paśmie sygnału. Zaproponowana implementacja cechuje się znacznie niższym poborem mocy, porównywalnym parametrem SNDR oraz kilkakrotnie mniejszą (bardziej korzystną) wartością parametru FoM (Walden's Figure of Merit).

Kolejnym krokiem w rozbudowie interfejsu systemu z rys. 1. jest dołączenie bloku I tj. konwertera napięcie-prąd (V-I). Poszerza to znacząco obszary stosowalności systemu umożliwiając jego adaptację w takich technikach sensorowych jak voltamperometria czy też do zadań emulacji szybkozmiennych sygnałów prądowych we wnętrzu testowanego chipu. Rezultaty pracy nad konwerterem V-I zostały opublikowane w artykule [A5]. Artykuł prezentuje dwie implementacje konwertera: VCR – bazującą na wykorzystaniu pojedynczych tranzystorów o długich kanałach, VCT – opartą na wykorzystaniu układu inwertera. W obu implementacjach zastosowano blok kompensacji składowej współbieżnej, którego koncepcję

opracował habilitant. Habilitant zaprojektował topografie obu konwerterów oraz wykonał poniższe analizy opublikowane w pracy [A5]:

- wyznaczenie poborów mocy i zajętości powierzchni topografii (tabela 1. w [A5])
- wyznaczenie charakterystyki PSRR (Power Supply Rejection Ration) (rys. 12. w [A5])
- wykonanie analiz wrażliwości konwerterów na rozrzut parametrów po fabrykacji (rys. 13. w [A5]); analizy wykonane zostały przy pomocy plików technologicznych dostarczonych przez producenta
- analiza wrażliwości konwertera VCR na rozrzut napięć polaryzacji biasów (rys. 10. w [A5])

Wszystkie powyższe analizy wykonano w drodze symulacji post-layoutowych z wykorzystaniem pakietu Calibre firmy Mentor Graphics. Habilitant jest autorem fragmentów rozdziałów artykułu [A5] „VCR Converter” i „VCT Converter”, opisujących szczegóły implementacyjne obu układów, zwłaszcza poświęconych implementacji bloku kompensacji składowej współbieżnej, realizacji topografii oraz wymienionym analizom parametrów układów.

Parametry zostały zebrane i porównane w [A5] ze wszystkimi implementacjami z ostatnich lat (2011r. – 2017r.), jakie udało się według najlepszej wiedzy autorów odnaleźć w literaturze (uwzględniono te implementacje, których parametry ich autorzy podali w publikacjach). Podstawowym osiągnięciem jest najszerszy zakres sygnału wejściowego konwerterów wykraczający poza zakres zasilania, czego nie zaprezentowano w innych pracach. Co najmniej dziesięciokrotnie szersze jest też pasmo częstotliwości sygnału wejściowego. Konwertery VCR i VCT cechują się też znacznie mniejszym poborem mocy w porównaniu z innymi realizacjami i znacznie mniejszą powierzchnią topografii. Figure of Merit liczony jako stosunek szerokości pasma do pobieranej mocy przemnożony przez stosunek napięcia wejściowego do napięcia zasilającego jest bezkonkurencyjny w porównaniu z innymi realizacjami i wychodzi blisko 187 razy lepszy w najgorszym przypadku.

Z przeprowadzonych przez habilitanta analiz wynika duża odporność konwerterów VCT i VCR na rozrzut technologiczny, który zmienia liniowość pracy układów o 3.04% w najgorszym przypadku. Analiza wrażliwości na rozrzut napięć polaryzacji układu VCR pokazała, że nieliniowość wzrasta o 4% dla rozrzutu o wartości 40% dla jednego z napięć i nie zmienia się w przypadku rozrzutu o tej samej wartości dla drugiego z napięć. Konwertery, zwłaszcza VCT, cechują się natomiast stosunkowo niską wartością współczynnika PSRR. Pozostaje on jednak stały aż do częstotliwości 100 MHz, podczas gdy dla implementacji opartych na wzmacniaczach operacyjnych, wartość ta maleje drastycznie wraz ze wzrostem częstotliwości.

Jak wspomniano w punkcie 1. zaprojektowane konwertery V-I znaleźć mogą zastosowanie w testowaniu układów pracujących w trybie prądowym i przetwarzających sygnały o dużej częstotliwości, których doprowadzenie do wnętrza chipu z zachowaniem parametrów czasowych jest niemożliwe ze względu na pojemność padów. Habilitant brał udział w analizie pracujących w trybie prądowym układów fizycznych wykonanych w ramach grantu NCN pt. „Automatyzacja projektowania analogowych obwodów scalonych

realizowanych w technice przełączanych prądów”. Analizy te były prowadzone również przez dra inż. Mariusza Naumowicza i dra inż. Michała Melosika. W pracy [A6] zademonstrowane zostały wyniki działania fizycznej realizacji pracującego w trybie prądowym banku filtrów. Układ zaopatrzony był w 3-bitowy przetwornik DAC umożliwiającą testowanie układu na wymuszenia skokowe o różnej amplitudzie. Chip opisany w [A6] zaopatrzony był również w prądowe układy samodzielnych integratorów, zwierciadeł i par filtrów, do których prądowe sygnały doprowadzone były bezpośrednio z padów. Ograniczenia w możliwości wysterowania sygnałów wejściowych o kształcie innym niż sygnał skokowy zaowocowały pracami nad konwerterem V-I do zastosowań w testowaniu układów scalonych typu *current-mode*.

## 2.5. Narzędzia EDA do syntezy i debugowania układów rekonfigurowalnych FPAA pracujących w trybie prądowym

Pewnym podsumowaniem prac habilitanta jest artykuł [A4] prezentujący autorskie algorytmy i narzędzia syntezy układów analogowych z wykorzystaniem programowalnych IPCorów FPAA pracujących w trybie prądowym. Opracowanie tych narzędzi było niezbędnym krokiem w prowadzonych badaniach i wynikało ze złożoności układów, które habilitant realizował. Przykładowo sieć neuronowa, którą habilitant zaprezentował w [A1] jest układem analogowym złożonym z ponad 85 000 tranzystorów, a na jego strukturę składają się blisko 2200 programowalne układy mnożące. W ogólności liczba programowalnych bitów w IPCorach habilitanta wyrażona jest wzorem [A2]:

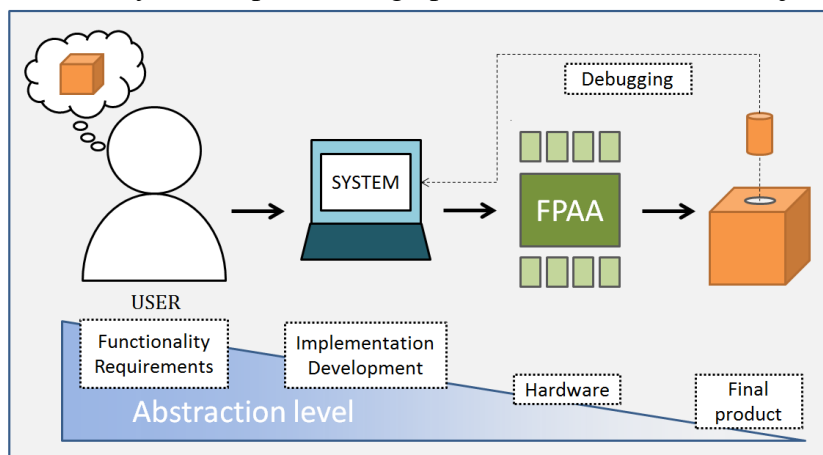
$$\begin{aligned} \text{Number\_of\_bits} &= R_{RCM}[(n_1 + n_2 k_1 + (1 + k_1)(x + W_S)] \\ &+ R_{INT, MEM}(N_{in} + N_{out})(x + W_S) + N_p \end{aligned} \quad (5)$$

gdzie  $R_{RCM}$  jest rozmiarem pamięci konfigurującej zwierciadła prądowe o  $k_1$  wyjściach złożonych z przetworników DAC o rozmiarach słów bitowych  $n_1, n_2$ .  $W_S$  oznacza rozmiar słów bitowych konfigurujących podłączenia układów RCM do linii routingu złożonego z  $x$  węzłów.  $R_{INT, MEM}$  oznacza rozmiar pamięci cyfrowej konfigurującej routing integratorów i komórek pamięci (o  $N_{in}$  oraz  $N_{OUT}$  portach).  $N_p$  koresponduje do liczby portów wyjściowych z IPCora.

Przykładowo dla topografii widocznej na rys. 4b) liczba bitów programujących wynosi: 1572 dla 4 wierszy RCM, 396 dla 3 wierszy integratorów, 1056 dla 8 wierszy pamięci i 32 dla routingu portów. Daje to ponad 3 000 bitów, których zaprogramowanie wymaga nie tylko zapewnienia poprawności połączeń, ale też skalibrowania układów mnożących, zapewnienia symetrii routingu oraz zredukowania pasożytniczych efektów poprzez skrócenie długości ścieżek. Jak wspomniano we wstępie autoreferatu, narzędzia automatyzujące powyższe procesy są ustawicznie rozwijane i prezentowane w literaturze. Głównym ich ograniczeniem jest aplikowalność do układów FPAA pracujących w trybie napięciowym, których metodologia konfiguracji jest zupełnie inna. Habilitant postanowił zrealizować środowisko oferujące użytkownikowi funkcjonalność w pełni analogiczną do

komercyjnych narzędzi konfigurowania rozwiązań cyfrowych (np. ISE firmy Xilinx czy Quartus firmy Altera).

Funkcjonalność systemu opracowanego przez habilitanta widoczna jest na rys. 13.

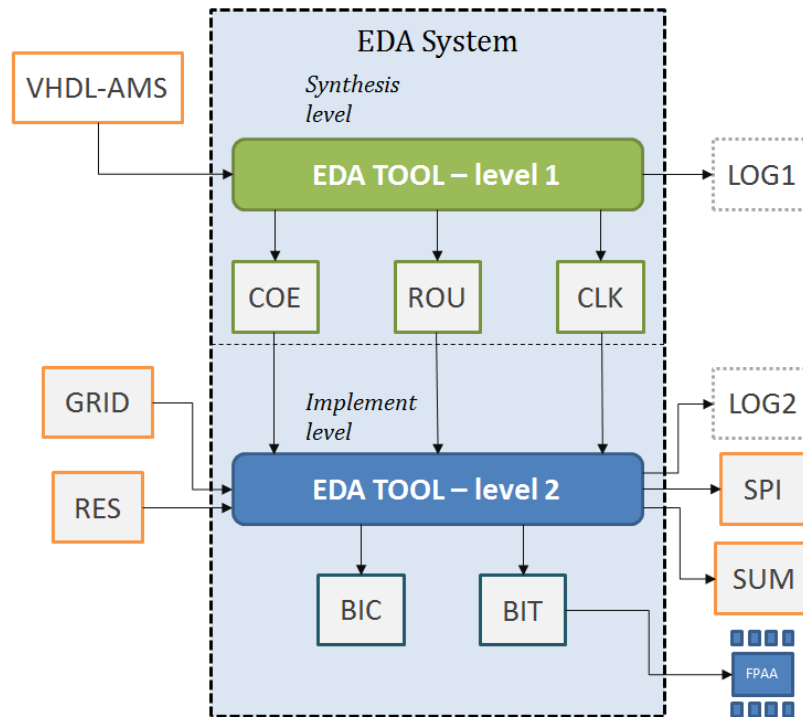


Rysunek 13 - System konfigurowania FPAA [A4]

Koncepcja projektanta zaimplementowana może zostać na platformie sprzętowej (np. matrycy z [A2]) za pośrednictwem autorskich narzędzi automatyzacji. Kolejne kroki implementacji rozwiązania prowadzą do zmniejszenia poziomu abstrakcji – od pomysłu aż po finalny produkt. Komercyjne oprogramowanie dla układów klasy FPGA oferuje także możliwość sprzężenia zwrotnego tj. zweryfikowania poprawności wybranych fragmentów projektu (na zasadzie jego debugowania) poprzez wspomnianą już strategię OCI (np. narzędzie ChipScope firmy Xilinx lub SignalTap Logic Analyser firmy Altera). Habilitant postanowił zaproponować podobne rozwiązanie dla układów analogowych, w przypadku których ze względu na specyfikę przetwarzanych sygnałów wydaje się to jeszcze bardziej uzasadnione.

Habilitant wielokrotnie wzorował się na rozwiązaniach cyfrowych. Dlatego też proces konfigurowania analogowego preprocesora został podzielony na etap niezależnej od sprzętu syntezy oraz etap implementacji dla konkretnej platformy sprzętowej. Koncepcja ta zobrazowana została na rys. 14. Syntezowany układ opisany jest w języku VHDL-AMS. Użytkownik ma możliwość ręcznego sporządzenia pliku z opisem układu. Może on być jednak również wygenerowany z wykorzystaniem innych narzędzi automatyzacji [40,41]. W pracy [A6] opis układu analogowego w VHDL-AMS jest podzielony na bloki komórek bibliotecznych (komponenty np. integratory, pamięci) oraz bloki komórek parametryzowalnych (komponenty typu generic – zwierciadła prądowe). Koncepcja ta została utrzymana przez habilitanta podczas rozwijania parserów zademonstrowanych w [A6] do zastosowań w systemie syntezy na FPAA. Architektura opisana w VHDL-AMS podzielona została na bloki statyczne (komponenty) oraz bloki rekonfigurowalne (komponenty typu generic). W pracy [A4] habilitant zamieścił przykładowy opis architektury pary filtrów piątego rzędu w sekcji *IV. EXAMPLARY ANALOG SYNTHESIS* punkt A. Na tym etapie projektowania system przekształca schemat VHDL-AMS układu do jego opisu zawierającego konfigurację bloków programowalnych (plik COE), sieć połączeń bloków konfigurowalnych i bloków statycznych (plik ROU) oraz wyciąga informacje o niezbędnych sygnałach zegarowych dla bloków analogowych pracujących w czasie dyskretnym (plik CLK).

Użytkownik otrzymuje również informację o rezultacie z przebiegu tego etapu projektowania (plik LOG1) – przede wszystkim, czy układ jest syntezywalny tj. czy jego opis jest poprawny według aktualnego standardu języka VHDL-AMS. Ten etap projektowania jest niezależny od zasobów sprzętowych, co oznacza, że może być przeprowadzony niezależnie od docelowej platformy FPAA. Rezultatem jest jednak informacja o wymaganych zasobach (liczbie węzłów routingu, liczbie układów mnożących, całkujących itp.), co pozwala dobrać rozmiar IPCora do zrealizowania wybranego układu analogowego.



Rysunek 14 - Struktura systemu EDA [A4]

Drugim etapem projektowania jest implementacja dla konkretnej platformy sprzętowej. Informacja o dostępnych na niej zasobach przekazywana jest w pliku RES. Dodatkowo na tym etapie załączana jest siatka rozwiązań do konfiguracji układów RCM. Habilitant opracował również autorskie narzędzia do generacji tej siatki opisane wraz z metodą generacji w [A4]. Przykładowy plik dziennika (LOG) z procesu generacji siatki widoczny jest na poniższym listingu [A4]:

```

Input P file : mirror_p.txt
Input M file : mirror_m.txt
Input current [ uA ] : 2
Range : 0.020000 - 4.149581
Max error : 2.308271%
    for giving factor = 0.029391,
    found = 0.030069
Avr error : 0.058690%
Number of discarded factors : 189
  
```

Widoczna jest tu m.in. informacja o zakresie (Range) wartości współczynników mnożących w układach RCM, maksymalnej i średniej wartości błędu odwzorowania

współczynników w tym zakresie oraz o wartości prądu wejściowego do RCM, dla którego sporządzono raport. Warto wspomnieć, że idea wykorzystania siatki predefiniowanych wartości zamiast np. optymalizacji struktury zwierciadła programowalnego dla kolejnych słów bitowych, jest motywowana poprawą dokładności przetwarzania sygnałów analogowych. Siatka predefiniowanych wartości może bowiem zostać wygenerowana dla rzeczywistego układu (w tym również układu po rozrzucie w procesie fabrykacji). Konfiguracja z wykorzystaniem informacji o rzeczywistych wartościach współczynników mnożących znacząco zwiększa dokładność przetwarzania, co pokazano przykładami implementacji w [A2].

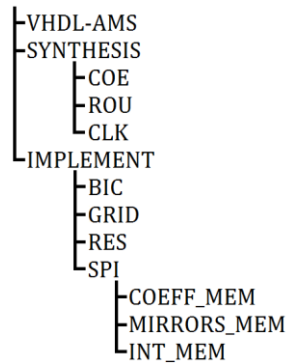
Rezultatem etapu implementacji jest plik BIT zawierający ciąg bitów konfiguracyjnych IPCore FPAA. Użytkownik ma również do wglądu plik BIC z informacją o wartościach słów bitowych programujących układy mnożące, pakiet plików SPI do symulacji post-implement z wykorzystaniem narzędzi HSPICE/Eldo, plik dziennika (LOG2) z przebiegu procesu oraz plik SUM z informacją o procentowej zajętości zasobów w sprzęcie po implementacji. Podejście dzięki zastosowaniu pliku RES oraz podziałowi na etap syntezy i implementacji jest niezależne od platformy sprzętowej tj. pozwala na implementacje z wykorzystaniem różnych układów FPAA pracujących w trybie prądowym, o ile posiadają one wystarczającą liczbę zasobów wymaganych dla danej implementacji.

W swojej pracy [A4] habilitant przeanalizował problem routingu układów analogowych pod kątem wydajności pracy tych układów. Przeprowadził też analizy post-layoutowe średnich opóźnień na długich połączeniach realizowanych za pomocą warstw metalicznych na chipie. Analizując złożoność problemu routingu ze względu na liczbę modułów i liczbę warstw, w których są one łączone, habilitant zaproponował metodę skrócenia sumarycznej długości ścieżek poprzez odpowiednie mapowanie modułów, portów i węzłów. Skuteczność metody potwierdził syntezą pary filtrów SI 5-go rzędu, w której długość routingu została zredukowana o 25.71%, co ostatecznie doprowadziło do zmniejszenia opóźnień na każdej z warstw routingu o ponad 600 ps.

Osiągnięciem habilitanta jest też zaproponowanie metody debugowania układów analogowych. Układy cyfrowe posiadają naturalną cechę eliminacji błędów przetwarzania dzięki bardzo dużym marginesom zakłóceń. Jedynym ograniczeniem mocy obliczeniowej układu cyfrowego jest maksymalna częstotliwość pracy i pobór mocy, natomiast złożoność tj. liczba modułów – może być dowolnie zwiększana bez ryzyka gwałtownego wzrostu poziomu zakłóceń w stosunku do poziomu sygnału. Funkcjonująca dla układów cyfrowych modułowość nie daje się w prosty sposób przełożyć na układy analogowe. Zaprojektowane i wstępnie zoptymalizowane moduły analogowe po połączeniu w większej makrokomórce zyskują nowe, z reguły znacznie gorsze parametry ze względu na obciążenie innymi modułami. Pogorszeniu ulegają takie parametry jak częstotliwość pracy, SNR (Signal to Noise Ratio), SNDR (Signal to Noise and Distortion Ratio) itp. Dużym ułatwieniem dla użytkownika układów klasy FPAA byłaby możliwość zweryfikowania parametrów poszczególnych modułów zmapowanych wewnątrz matrycy. W pracy [A4] habilitant opisał autorską metodę pozwalającą na wyprodukowanie sygnału będącego kopią dowolnego sygnału z wnętrza układu FPAA i wyprowadzenie go na zewnątrz w celu weryfikacji. Użycie metody zaprezentował na przykładzie wspomnianej pary filtrów, w której jedno ze zwierciadeł RCM na jednym ze swoich wyjść generuje współczynnik skalujący, który po

obciążeniu innymi modułami RCM oraz integratorami, zostaje odwzorowany z błędem na poziomie 30.55% i znacząco pogarsza parametry filtru. Po zdebugowaniu i przekonfigurowaniu układu problem został rozwiązany. W pracy [A4] zamieszczony został algorytm uruchamiania debuggera wraz z opisem struktury układu OCI (algorytm 2. i rys. 11 w pracy [A4]).

Wraz z przechodzeniem przez kolejne etapy syntezy i konfiguracji układu FPAA rozbudowywane jest drzewo projektu, nad którym pracuje użytkownik – rys. 15. W drzewie tym pojawiają się osobne gałęzie dla procesu syntezy i implementacji oraz podgałęzie plików symulacyjnych dla emulatorów pamięci konfigurujących zasoby FPAA.



Rysunek 15 - Drzewo projektu zbudowane przez narzędzia EDA [A4]

Ostatecznie w pracy [A4] habilitant zademonstrował wyniki symulacji post-layoutowych (w tym analizy czasowe oraz uzyskane z nich charakterystyki) pary filtrów syntezowane z użyciem opisanych w pracy algorytmów, metod i narzędzi. W pracy habilitant opisał również zastosowanie narzędzi do szybkiej implementacji sieci neuronowych uczonych w Matlabie. Efektywność narzędzi została podsumowana w dwóch tabelach: tabela II (w [A4]) przedstawia szybkość działania poszczególnych algorytmów, tabela III zestawia funkcjonalność narzędzi z innymi pracami opisanymi w literaturze. Według najlepszej wiedzy habilitanta jego rozwiązanie jest jedynym, które integruje wszystkie dotychczasowe (poza interfejsem GUI) osiągnięcia w dziedzinie i adaptuje je do konfiguracji prądowych układów FPAA, oferując dodatkowo możliwość debugowania. Jest to więc narzędzie, które w największym stopniu wzoruje się na silnie wspieranych przez światowe koncerny rozwiązaniach cyfrowych. Do szczególnych zalet podejścia zaliczyć można:

- kompatybilność z powszechnie używanymi językami opisu sprzętu (VHDL-AMS, HSPICE, Eldo-Spice)
- kompatybilność z innymi narzędziami EDA (gC-Studio, SI-Maker, SI-Studio)
- uniezależnienie procesu od architektury FPAA
- poprawa parametrów czasowych podczas mapowania i routingu
- wsparcie dla nowoczesnych, wykonanych w technologiach nanometrowych pracujących w trybie prądowym układów FPAA
- zaproponowanie metod debugowania układów FPAA

W przypadku chęci skorzystania z opisanych powyżej narzędzi proszę o kontakt pod adresem: [szymon.szczesny@put.poznan.pl](mailto:szymon.szczesny@put.poznan.pl)



### 3. Podsumowanie

Osiągnięcie naukowe, które habilitant przedłożył i opisał w tym autoreferacie, stanowi spójny system złożony z warstwy sprzętowej i narzędzi komputerowych do implementacji układów analogowych pracujących w trybie prądowym. W ramach warstwy sprzętowej habilitant zaimplementował szereg układów rekonfigurowalnych opatrzonych interfejsem przetworników. Układy te realizowane mogą być bezpośrednio jako układy scalone lub jako IPCory wyposażone w różne zasoby i umieszczone we wnętrzu innego układu scalonego – w tym również w sąsiedztwie układu cyfrowego i zaprojektowane w technologii cyfrowej CMOS. Układy te składają się na rekonfigurowalny preprocesor. Z kolei opracowane narzędzia stanowią interfejs użytkownika o bogatej funkcjonalności, który umożliwia proste użytkowanie preprocesora. Habilitant wykonał szereg przykładowych implementacji, w tym również do zastosowań medycznych, i zestawiał uzyskane parametry układów z implementacjami odnalezionymi w literaturze. Rezultaty swoich prac habilitant opublikował w czterech artykułach samodzielnych z listy JCR, trzech artykułach zbiorowych JCR oraz dwóch artykułach spoza listy JCR. Na prowadzone przez siebie badania habilitant pozyskał środki z dwóch projektów badawczych, których był kierownikiem. Badania w dużej mierze inspirowane były doświadczeniem wyniesionym ze współpracy z przemysłem. Rezultaty badań habilitant starał się upowszechnić w ramach swoich staży zagranicznych. Wymiernym efektem jest nawiązanie współpracy z naukowcami z Universidade Nova de Lisboa. Obecnie w ramach tej współpracy habilitant prowadzi badania nad scalonymi implementacjami neuronowych sieci pulsacyjnych wzorowanych na rzeczywistych perikarionach oraz półprzewodnikowymi realizacjami drabinkowych systemów nerwowych.

### V. Omówienie pozostałych osiągnięć naukowo-badawczych

W niniejszym rozdziale habilitant omawia rezultaty prac badawczych, w których brał udział, lecz nie wykazał jako oryginalnego osiągnięcia naukowego. Znaczna część tych prac stanowi kontynuację tematyki realizowanej w ramach doktoratu, lecz rozwijanej już po obronie rozprawy doktorskiej. Pozostała tematyka osadzona jest w obszarze implementacji prądowych modulatorów  $\Sigma\Delta$  i innych struktur analogowych pracujących w trybie prądowym.

#### a) Osiągnięcia opublikowane w artykułach z listy JCR

W ramach pracy doktorskiej habilitant rozwijał narzędzia komputerowego projektowania układów z przełączanymi prądami. Zaproponowane podejście oferowało w pełni automatyczną generację topografii układu scalonego o zadanych przez użytkownika parametrach. Wyniki swoich badań habilitant opublikował między innymi w takich artykułach JCR jak: [42], gdzie zaprezentował analizę częstotliwościową układu filtru, oraz w [43], gdzie opisał rezultaty automatycznej generacji topografii filtru oraz topografii procesora obrazu liczącego dwuwymiarową dyskretną transformatę kosinusową. Pierwsza wzmianka o automatycznej generacji topografii pojawiła się w pracy [44], w której habilitant zademonstrował wynik generacji topografii pary filtrów uzyskany poprzez symulacje post-layoutowe oraz podjął tematykę kontroli parametrów fizycznych topografii.

Po obronie rozprawy doktorskiej habilitant kontynuował rozwijanie opracowanych narzędzi, które najdokładniej opisane zostały w pracy [A6] zgłoszonej do recenzji w czasopiśmie ponad rok po obronie rozprawy doktorskiej habilitanta. Habilitant jako autor systemu projektowania topografii jest wprawdzie jednym z głównych autorów pracy [A6], jednak wykazał ją w osiągnięciu naukowym do habilitacji nie ze względu na realizację systemu – ten bowiem został zrealizowany niemal całkowicie w ramach rozprawy doktorskiej habilitanta i jako taki nie stanowi osiągnięcia do habilitacji. Rozwijanie tego systemu po doktoracie oraz jego adaptacja do kolejnych zadań generacji topografii stanowi jednak pewien obszar dodatkowej działalności naukowej habilitanta. Skuteczność systemu została przykładowo zademonstrowana w zbiorowej pracy [45] z listy JCR na przykładzie zadania generacji topografii dla układu bezstratnej sieci dwuwymiarowej do zastosowań w filtracji obrazu. Wypracowane narzędzia pozwalają na automatyzację projektowania układów analogowych niezależnie od technologii CMOS i są kompatybilne z komercyjnymi narzędziami firmy MentorGraphics, a także ze standardami opisu architektury układów scalonych (HSPICE, VHDL-AMS, AMPLE). Wspomniane prace w zakresie automatyzacji projektowania topografii układów analogowych z trybem prądowym realizowane były częściowo w ramach grantu NCN pt. „*Automatyzacja projektowania analogowych obwodów scalonych realizowanych w technice przełączanych prądów*” pod kierownictwem prof. dra hab. inż. Andrzeja Handkiewicza.

Habilitant brał również udział w pracach nad automatyzacją projektowania analogowych filtrów SI z wykorzystaniem prototypów żyratorowo-pojemnościowych [46]. Samo zagadnienie automatyzacji projektowania schematów filtrów SI w oparciu o metodę liczb strukturalnych i wykorzystanie prototypów żyratorowo-pojemnościowych było jednak przedmiotem prac prowadzonych głównie przez dra inż. Piotra Katarzyńskiego w ramach jego rozprawy doktorskiej. Habilitant natomiast w pracy [47] z listy JCR zaproponował strukturę integratora biliniowego SI z kompensacją składowej współbieżnej do umieszczenia w przykładzie pary filtrów SI 7-go rzędu opisanej w tejże pracy.

Podsumowując działalność naukową habilitanta na polu innym niż osiągnięcie naukowe wskazane w punkcie IV b) niniejszego referatu, habilitant jest współautorem 6 artykułów JCR (4 przed doktoratem i 2 po doktoracie), z których jeden ukazał się w czasopiśmie za 35 pkt (według daty publikacji).

## **b) Osiągnięcia opublikowane w artykułach spoza listy JCR**

Pozostałe rezultaty działalności naukowej habilitanta zostały opublikowane w takich czasopiśmie jak „*Elektronika: konstrukcje, technologie, zastosowania*”, „*International Journal of Electronics and Telecommunications*” oraz „*Przegląd Elektrotechniczny*”. Artykuły te zostały wyszczególnione w punkcie II C) wykazu dorobku habilitanta – wszystkie z nich są pracami zbiorowymi. Tematyka badań osadzona była w obszarze projektowania układów filtrów SI, układów procesorów DCT do zadań kompresji obrazu, przetworników DAC i modulatorów  $\Sigma\Delta$  do zastosowań w przetwornikach ADC. Wkład habilitanta polegał – zgodnie z informacją z wykazu dorobku pkt II C) na rozwijaniu narzędzi syntezy układów opartych na językach skryptowych, generacji topografii obwodów, przeprowadzaniu post-

layoutowych symulacji i wyznaczaniu na ich podstawie wybranych parametrów. Wszystkie te układy projektowane były jako obwody klasy ASIC.


## Literatura

- [1] N. Sinha, J.T.-W. Yeow, *Carbon nanotubes for biomedical applications*, IEEE Trans. on NanoBioscience, vol. 4, Issue 2, pp. 180-195, 2005
- [2] C. Banks, R. Mortimer, S. McIntosh, *Electrochemistry*, Royal Society of Chemistry, 2015
- [3] Massimo Brandolini, Young J. Shin, Karthik Raviprakash, Tao Wang, Rong Wu, Hemasundar Mohan Geddada, YenJen Ko, Yen Ding, Chun-Sheng Huang, Wei-Ta Shih, MingHung Hsieh, Acer Wei-Te Chou, Tianwei Li, Ayaskant Shrivastava, Dominique Yi-Chun Chen, Bryan Juo-Jung Hung, Giuseppe Cusmai, Jiangfeng Wu, Mo Maggie Zhang, Yuan Yao, Greg Unruh, Ardie Venes, Hung Sen Huang, and Chun-Ying Chen, *A 5 GS/s 150 mW 10 b SHA-Less Pipelined/SAR Hybrid ADC for Direct-Sampling Systems in 28 nm CMOS*, IEEE J. of Solid-State Circuits, Vol. 50, No. 12, pp. 2922-2934, Dec. 2015
- [4] S. Brink, J. Hasler, R. Wunderlich, *Adaptive floating-gate circuit enabled large-scale FPAA*, IEEE Trans. VLSI Syst. 22(11), 2307–2315 (2014)
- [5] J. Becker, F. Henrici, S. Trendelenburg, M. Ortmanns, Y. Manoli, *A field-programmable analog array of 55 digitally tunable OTAs in a hexagonal lattice*, IEEE J. Solid State Circuits 43, 2759–2768 (2008)
- [6] C.M. Twigg, P.E. Hasler, J.D. Gray, R. Chawla, *Systems and Methods for Programming Large-Scale Field-Programmable Analog Arrays*, United States Patent, U.S. Patent No 7,439,764 B2, 21 Oct 2008
- [7] B. Pankiewicz, M. Wojcikowski, S. Szczepanski, S. Yichuang, *A field programmable analog array for CMOS continuous-time OTA-C filter applications*, J. Solid State Circuits 37(2), 125–136 (2002)
- [8] C.A. Looby, C. Lyden, *Op-amp based CMOS field-programmable analogue array*, Proc. IEE Circuits Devices Syst. 147, 93–95 (2000)
- [9] C.R. Schlottman, C. Petre, P.E. Hasler, *A high-level simulink-based tool for FPAA configuration*, IEEE Trans. VLSI Syst. 20(1), 10–18 (2012)
- [10] V.C. Gaudet, P.G. Gulak, *CMOS implementation of a current conveyor-based field-programmable analog array*, in Conference of Signals, Systems and Computers, vol. 2 (1997), p. 1156
- [11] C. Premont, R. Grisel, N. Abouchi, J.P. Chante, *Current-conveyor based field programmable analog array*, in Proceedings of the IEEE MWSCAS, Ames, IA (1996)
- [12] S.A. Mahmoud, *Digitally controlled cmos balanced output transconductor and application to variable gain amplifier and Gm-C filter on field programmable analog array*, J. Circuits Syst. Comput. 14(4), 667–684 (2005)
- [13] K. Wawryn, B. Strzeszewski, *Current mode circuits for programmable WTA neural network*, Analog Integr. Circ. Sig. Process 27 (2001) 49–69.
- [14] T. Talaśka, R. Długosz, R. Wojtyna, *Current Mode Analog Kohonen Neural Network*, Mixdes, IEEE, 2007 250–255.
- [15] D. Maliuk, H.G. Stratigopoulos, Y. Makris, *An analog VLSI multilayer perceptron and its application towards built-in self-test in analog circuits*, On-Line Testing Symposium, IEEE 2010, pp. 71–76.
- [16] H. Hosseini-Nejad, A. Jannesari, A.M. Sodagar, J.N. Rodrigues, *A 128-channel discrete cosine transform-based neural signal processor for implantable neural recording microsystems*, Int. J. Circuit Theory Appl. 43 (2015) 489–501.
- [17] V. Valente, A. Demosthenous, *Wideband Fully-Programmable Dual-Mode CMOS Analogue Front-End for Electrical Impedance Spectroscopy*, Sensors, 16(8), 2016
- [18] C.H. Kuo, D. Y. Shi, K. S. Chang, *A Low-Voltage Fourth-Order Cascade Delta–Sigma Modulator in 0.18- $\mu$ m CMOS*, IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS—I: REGULAR PAPERS, VOL. 57, NO. 9, 2010

- [19] K. P. Pun, S. Chatterjee, P. R. Kinget, *A 0.5-V 74-dB SNDR 25-kHz continuous-time delta-sigma modulator with a return-to-open DAC*, IEEE J. Solid-State Circuits, vol. 42, no. 3, pp. 496–507, 2007
- [20] J. Wang, T. Matsuoka, and K. Taniguchi, *A 0.5 V feedforward delta-sigma modulator with inverter-based integrator*, in Proc. ESSCIRC, 2009, pp. 328–331.
- [21] Y. Yoon, H. Roh, and J. Roh, *A true 0.4-V delta-sigma modulator using a mixed DDA integrator without clock boosted switches*, IEEE Trans. Circuits Syst. II, Exp. Briefs, vol. 61, no. 4, pp. 229–233, 2014.
- [22]. Nejib Hassen, Houda Bdiri Gabbouj, Kamel Besbes, *Lowvoltage high-performance current mirrors: Application to linear voltage-to-current converter*, Int. J. Circ. Theor. Appl. 2011, Vol. 39, pp. 47-60, 2011
- [23]. Cristina Azcona, Belen Calvo, Santiago Celma, Nicolas Medrano, Pedro A. Martinez, *Low-Voltage Low-Power CMOS Rail-to-Rail Voltage-to-Current Converters*, IEEE Transactions on Circuits and
- [24]. Y.-H. Sa, P.-H. Son, K.-H. Kim, H.-S. Kim, H.-W. Cha, *A design of new voltage to current converter with high linearity and wide tuning*, IEEE SoC Design Conference (ISOCC), South Korea, 2016
- [25]. K. Niitsu, K. Ikeda, K. Muto, K. Nakazato, *Design, experimental verification, and analysis of a 1.8-V-inputrange voltage-to-current converter using source degeneration for low-noise multimodal CMOS biosensor array*, Japanese Journal of Applied Physics, vol. 56, 2017
- [26] C.R. Schlottman, C. Petre, P.E. Hasler, *A High-Level Simulink-Based Tool for FPAA Configuration*, Very Large Scale Integration (VLSI) Systems, IEEE Transactions on, Vol. 20, Issue 1, pp. 10-18, 2012
- [27] F. Baskaya, D. V. Anderson, P. Hasler, S. K. Lim, *A Generic Reconfigurable Array Specification and Programming Environment (GRASPER)*, Circuit Theory and Design, ECCTD European Conference on, 2009
- [28] G. D. Asensi, J. S. Gomez-Diaz, J. Martinez-Alajarin, R. Merino, *Synthesis on Programmable Analog Devices from VHDL-AMS*, Electrotechnical Conference, IEEE Melecon, 2006
- [29] M. Chen, A. Orailoglu, *Circuit-level mismatch modeling and yield optimization for CMOS analog circuits*, Computer Design ICCD International Conference, Lake Tahoe, USA, 2007
- [30] A. Handkiewicz, P. Śniatała, M. Łukowiak, *Low-voltage high-performance switched current memory cell*, Proc. Ninth Annual IEEE International ASIC Conference and Exhibit, ASIC 97, Portland, Oregon, pp. 12-16, 7-10 Sept. 1997
- [31] R. Rudnicki, M. Kropidłowski, A. Handkiewicz, *Low power switched-current circuits with low sensitivity to the rise/fall time of the clock*, International Journal of Circuit Theory and Applications, Vol. 38, No. 5, pp. 471-486, 2010
- [32] M. Naumowicz, M. Melosik, P. Katarzyński, A. Handkiewicz, *Automation of CMOS technology migration illustrated byRGBtoYCrCb analogue converter*, Opto-Electron. Rev. 21(3), 326–331, 2013
- [33] M. Ivannikov, M. Sugimori, R. Llinas, *Synaptic vesicle exocytosis in hippocampal synaptosomes correlates directly with total mitochondrial volume*, Journal of Molecular Neuroscience, vol. 49, Issue 1, 2013
- [34] W. Palm W., C.B. Thompson, *Nutrient acquisition strategies of mammalian cells*, Nature, Vol. 546, pp. 234-242, 2017
- [35] S. Chatterjee, K. Pun, N. Stanić, Y. Tsvividis, P. Kinget, *Analog Circuit Design Technique at 0.5V*, ACSP, Springer Science+Business Media, LLC, 2007
- [36] F. Maloberti, *Przetworniki danych*, WKł Wydawnictwa Komunikacji i Łączności, Warszawa, 2010
- [37] A. Laifi. et al., *High resolution current-mode CCO-based continuous time delta-sigma modulators for sensor-array applications*, Proc. IEEE Prime, 1-4, 2014
- [38] J. Zhao, Ch. Wang, *CMOS Current-controlled Oscillators*, Circuits and Systems IEEE Int. Symposium, pp. 929-932, 2007
- [39] A. Laifi, A. A. Abaji, R. Thewes, *A 96 dB SNDR Current-Mode Continuous-Time  $\Sigma\Delta$  Modulator for Electrochemical Sensor Arrays*, MIXDES, IEEE, 2015
- [40] P. Katarzyński, M. Melosik, A. Handkiewicz, *gC-Studio – the environment for automated filter design*, Bulletin of the Polich Academy of Sciences, Technical Sciences, vol. 61, Issue 2, pp. 541-544, 2013

- [41] A. Handkiewicz, P. Katarzyński, S. Szczęsny, M. Naumowicz, M. Melosik, P. Śniatała, M. Kropidłowski, *Design automation of a lossless multiport network and its application to image filtering*, Expert Systems with Applications, vol. 41, Issue 5, pp. 2211-2221, 2014
- [42] A. Handkiewicz, P. Katarzyński, S. Szczęsny, J. Wencel, P. Śniatała, *Analog filter pair design on the basis of a gyrator-capacitor prototype circuit*, International Journal of Circuit Theory and Applications, vol. 40, Issue 6, pp. 539-550, 2012
- [43] S. Szczęsny, M. Naumowicz, A. Handkiewicz, *SI-Studio – environment for SI circuits design automation*, Bulletin of the Polish Academy of Sciences: Technical Sciences, vol. 60, Issue 4, pp. 757-762, 2012
- [44] A. Handkiewicz, S. Szczęsny, M. Naumowicz, M. Melosik, P. Katarzyński, *Generacja layoutu filtrów SI w strategii wierszowej*, Przegląd Elektrotechniczny, R. 87, NR 10, s. 80-83, SIGMA-NOT, 2011
- [45] A. Handkiewicz, P. Katarzyński, S. Szczęsny, M. Naumowicz, M. Melosik, P. Śniatała, M. Kropidłowski, *Design automation of a lossless multiport network and its application to image filtering*, Expert Systems with Applications, vol. 41, Issue 5, pp. 2211-2221, 2014
- [46] P. Katarzyński, A. Handkiewicz, S. Szczęsny, M. Melosik, M. Naumowicz, *Design of elliptic filters with phase correction by using genetic algorithm*, Przegląd Elektrotechniczny, R. 86, NR 11a, s. 69-73, SIGMA-NOT, 2010
- [47] A. Handkiewicz, P. Katarzyński, S. Szczęsny, M. Naumowicz, M. Melosik, P. Śniatała, *VHDL-AMS in switched-current analog filter pair design based on a gyrator-capacitor prototype circuit*, International Journal of Numerical Modelling: Electronic Networks, Devices and Fields, vol. 27, Issue 2, pp. 268-281, 2014
- [48] P. Śniatała, A. Handkiewicz, M. Naumowicz, S. Szczęsny, M. Melosik, P. Katarzyński, M. Kropidłowski, *Switched Current Sigma-Delta Modulator with a New Comparator Structure Designed Based on VHDL-AMS Description*, International Journal of Electronics and Telecommunications, vol. 59, Issue 4, pp. 391-396, 2013
- [49] M. Naumowicz, S. Szczęsny, A. Handkiewicz, *6-bitowy przetwornik C/A małej mocy w technice przelączanych prądów*, Elektronika: konstrukcje, technologie, zastosowania, s. 134-136, nr 9, 2013

Poznań, 18.12.2017 r.

  
 .....  
 dr inż. Szymon Szczęsny