9. Architektura procesora TMS320C6713

*Ogólna charakterystyka DSP*s (*9.1*)

Układ TMS320c6713 jest zmiennoprzecinkowym procesorem sygnałowym z rodziny DSP TMS320C6000, opartym na rozwiniętej przez firmę Texas Instruments wysoce wydajnej architekturze, wykorzystującej technologię VLIW (*ang. Very Long Instruction Word*). Procesor ten jest przystosowany do pracy w systemach wielokanałowych i wielofunkcyjnych. Dzięki wydajności do 1350 milionów operacji zmiennoprzecinkowych na sekundę (MFLOPS), do 1800 milionów instrukcji na sekundę (MIPS) oraz do 450 milionów operacji pomnóż I doddaj (MAC) przy częstotliwości zegara do 225 MHz i niezbyt wysokiej cenie, TMS320c6713 jest efektywnym kosztowo rozwiązaniem stosowanym w zawansowanych procesach obróbki sygnałów.

Procesor posiada 32 rejestry ogólnego przeznaczenia o długości 32 bitów oraz osiem niezależnych jednostek funkcjonalnych (cztery zmienno/stałoprzecinkowe jednostki ALU (ang.: *Arithmetic-logic Unit*), dwie stałoprzecinkowe jednostki ALU oraz dwa zmienno/stałoprzecinkowe mnożniki). Układ zawiera także charakterystyczną dla aplikacji logikę sprzętową, wbudowaną pamięć oraz inne urządzenia peryferyjne.

9. Architektura procesora TMS320C6713

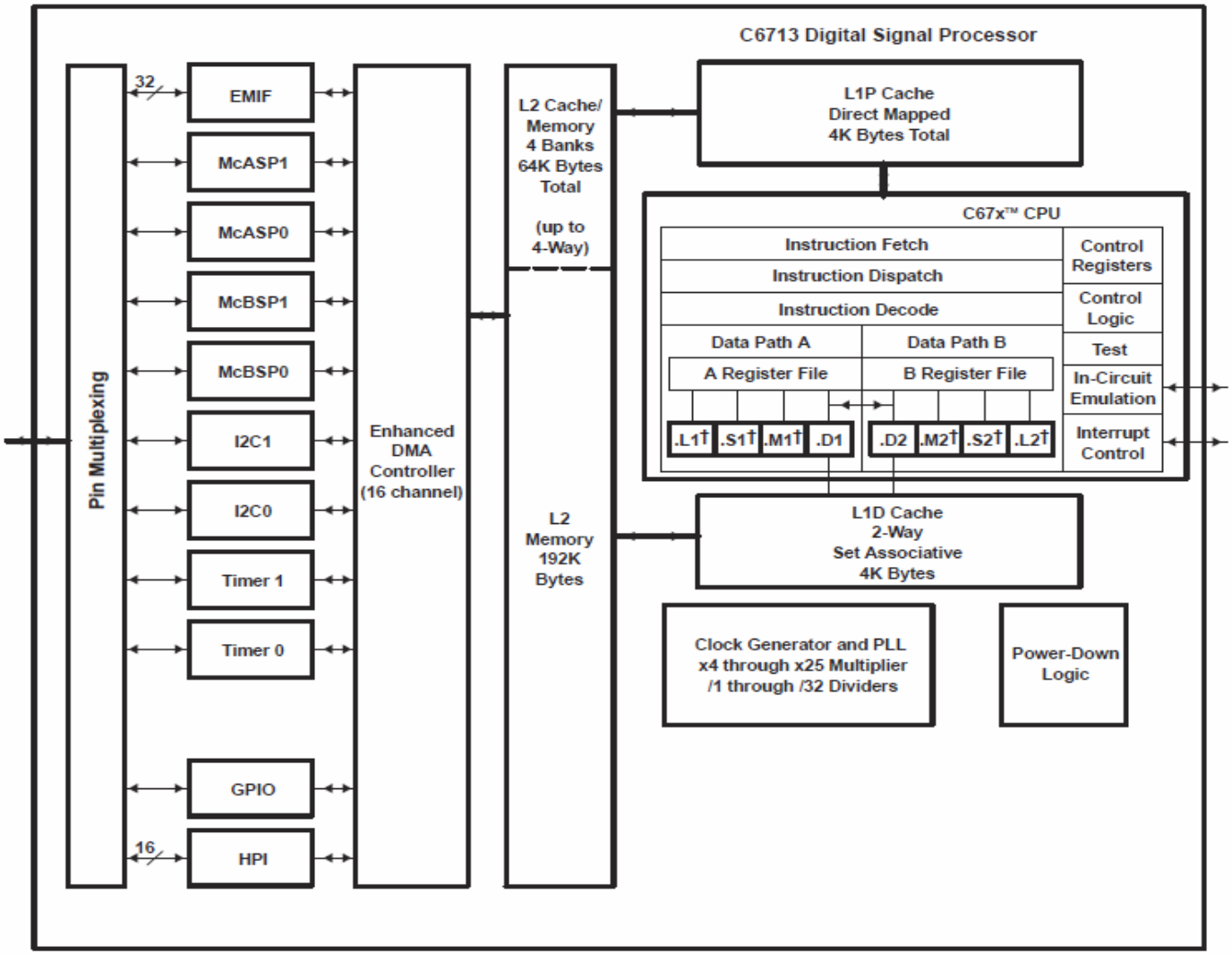
Ogólna charakterystyka DSPs (9.1)

Jednostka C6713 wyposażona jest w dwupoziomową architekturę przechowywania danych oraz bogatą grupę układów peryferyjnych. Poziom pierwszy umożliwia przechowywanie kodu programu oraz danych na dwóch niezależnych 4KB pamięciach podręczych (cache). Poziom drugi to 192KB pamięci dzielonej pomiędzy kod programu, a dane. Architektura dwupoziomowa pozwala na *cache'owanie* danych, czyli przechowywanie ostatnio używanych danych w pamięci o lepszych parametrach czasowych (niskiej latencji).

Zbiór układów peryferyjnych składa się z: dwóch *wielokanałowych, buforowanych portów szeregowych* (*McBSPs - ang. Multichannel Buffered Serial Port*), dwóch *wielokanałowych, szeregowych portów audio (McASP – ang. Multichannel Audio Serial Ports),* dwóch liczników ogólnego przeznaczenia, interfejsu host-port (*HPI ang. Host-Port Interface*), interfejsu obsługi zewnętrznej pamięci (*EMIF – ang. External Memory Interface*), dwóch portów I2C (*ang. Inter-Integrated Circuit*), uniwersalnego potu I/O (*GPIO ang. General Purpose I/O Port*) oraz emulatora *JTAG (ang. Joint Test Action Group)*.

9. Architektura procesora TMS320C6713

Schemat blokowy DSPs (9.2)



† In addition to fixed-point instructions, these functional units execute floating-point instructions.

EMIF interfaces to:
- SDRAM
- SBSRAM
- SRAM,
- ROM/Flash, and
- I/O devices

McBSPs interface to:
- SPI Control Port
- High-Speed TDM Codecs
- AC97 Codecs
- Serial EEPROM

McASPs interface to:
- I2S Multichannel ADC, DAC, Codec, DIR
- DIT: Multiple Outputs

9. Architektura procesora TMS320C6713

Schemat blokowy DSPs (9.2)

Technologia VLIW (9.2.1)

W procesorze wykorzystano technologię bardzo długich słów instrukcji VLIW (ang.: *Very Long Instruction Word*), dostarczających podczas jednego cyklu zegara maksymalnie osiem 32-bitowych poleceń do ośmiu niezależnych jednostek funkcjonalnych. Technologia zawiera mechanizmy kontrolne, za pomocą których każda z ośmiu jednostek otrzymuje nowe instrukcje dopiero wtedy, gdy jest gotowa do ich wykonania.

Jednostki funkcjonalne i rejestry (9.2.2)

Jednostka funkcjonalna	Operacje stałoprzecinkowe	Operacje zmiennoprzecinkowe
.L (.L1, .L2)	32/40-bitowe operacje arytmetyczne i porównawcze, 32-bitowe operacje logiczne;	Operacje arytmetyczne, operacje konwersji: DP→SP, INT→DP, INT→SP;
.S (.S1, .S2)	32-bitowe operacje arytmetyczne, 32-bitowe operacje przesunięcia i 32-bitowe operacje na bitach, 32-bitowe operacje logiczne, Rozgałęzienia, Generowanie stałych, Transfery rejestrów do i z zespołu kontroli rejestrów (tylko .S2);	Operacje porównania odwrotności oraz odwrotnych operacji podnoszenia do kwadratu i pierwiastkowania, Operacje na wartościach bezwzględnych, Operacje konwersji: SP→DP;
.M (.M1, .M2)	Operacje mnożenia bitów (16x16);	Operacje mnożenia bitów (32x32), Zmiennoprzecinkowe operacje mnożenia;
.D (.D1, .D2)	32-bitowe dodawanie, odejmowanie, kalkulacje liniowo i cyklicznie adresowane, Ładowanie i magazynowanie ze stałym 5-bitowym przesunięciem (offsetem), Ładowanie i magazynowanie ze stałym 15-bitowym przesunięciem (offsetem) – tylko dla .D2;	Ładowanie podwójnego słowa ze stałym 5-bitowym przesunięciem (offsetem);

SP – pojedyncza precyzja

DP – podwójna precyzja

INT – typ całkowity

9. Architektura procesora TMS320C6713

Schemat blokowy DSPs (9.2)

Jednostki funkcjonalne i rejestry (9.2.2)

W procesorze występują dwa zespoły jednostek funkcjonalnych tworzące strony A i B. Każdy z zespołów zawiera cztery jednostki obliczeniowe, zespół rejestrów oraz ścieżki danych. W skład pierwszego wchodzą jednostki: .L1, .S1, .M1 oraz .D1, natomiast drugi zawiera: .D2, .M2, .S2, i .L2.

Każda ze stron posiada 16 rejestrów ogólnego przeznaczenia (16 rejestrów 32-bitowych: A0-A15 dla zespołu A oraz 16 rejestrów 32- bitowych: B0-B15 dla zespołu B, patrz: schemat nr 4). Jednostki funkcjonalne w obrębie danego zespołu swobodnie dzielą się dostępem do 16 przynależnych im rejestrów.

Dodatkowo istnieje szyna danych łącząca jednostki funkcjonalne z wszystkimi rejestrami grupy przeciwnej (1X oraz 2X – ścieżki krzyżowe). Szyna ta zapewnia dostęp do danych zawartych w wszystkich rejestrach ogólnego przeznaczenia.

W trakcie jednego cyklu zegarowego zbiór rejestrów ma możliwość obsłużenia wszystkich żądań dostępu wywołanych przez jednostki funkcjonalne swojej grupy. Przy dostępie do rejestrów zespołu przeciwnego, ze względu na występowanie tylko dwóch ścieżek krzyżowych, obsługiwana jest tylko jedna operacja odczytu.

9. Architektura procesora TMS320C6713

Schemat blokowy DSPs (9.2)

Jednostki funkcjonalne i rejestry (9.2.2)

Inną cechą procesora jest architektura przekazywania I magazynowania danych, w której wszystkie operacje wykonywane są z wykorzystaniem rejestrów.

Dwa zestawy jednostek adresujących (.D1 i .D2) odpowiedzialne są za transfery danych pomiędzy rejestrami i pamięcią. Dane adresowe dostarczane przez jednostki .D sprawiają, że adres wygenerowany z jednego zbioru rejestrów może być wykorzystany do odczytu lub zapisu danych z drugiego zbioru rejestrów.

Procesor obsługuje wiele typów adresowania pośredniego opartych na liniowym lub cyklicznym adresowaniu z offsetem 5 lub 15 bitowym. Wszystkie instrukcje są warunkowe i większość z nich ma dostęp do każdego z 32 rejestrów. Przy czym niektóre rejestry są wyróżnione do obsługi określonego adresowania lub podtrzymania warunku dla instrukcji warunkowych (jeżeli nie jest on „automatycznie” prawdziwy). Dwie jednostki funkcjonalne .M pełnią rolę mnożnika. Natomiast jednostki .S i .L wykonują główne obliczenia arytmetyczne, logiczne i pokrewne, których wyniki dostępne są w każdym cyklu zegarowym.

9. Architektura procesora TMS320C6713

Schemat blokowy DSPs (9.2)

Jednostki funkcjonalne i rejestry (9.2.2)

Proces przetwarzania poleceń programu rozpoczyna się od pobrania 256 bitowej instrukcji (VLIW) z pamięci programu. Poszczególne 32 bitowe instrukcje, przeznaczone dla jednostek funkcjonalnych, są „łączone”, gdy wartość bitu w najmniej znaczącej pozycji (LSB) równa jest '1'. Następnie z tak powstałego łańcucha instrukcji (do ośmiu instrukcji), przeznaczonego do ciągłego wykonania, tworzony jest pakiet wykonawczy. Wartość '0' na pozycji LSB instrukcji przerywa łańcuch I umieszcza następną instrukcję w kolejnym pakiecie wykonawczym. W przypadku, gdy pakiet wykonawczy przekracza rozmiar 256 bitów (określone przez architekturę VLIW) assembler umieszcza brakujące instrukcje w kolejnym pakiecie. Liczba pakietów wykonawczych na pakiet instrukcji może się zmieniać w zakresie od jednego do ośmiu. Pakiety wykonawcze są rozpakowywane i rozdzielane pomiędzy jednostki funkcjonalne z prędkością jeden na cykl zegarowy. Kolejny pakiet instrukcji nie może zostać pobrany do momentu całkowitego rozpakowania bieżącego pakietu. Po zakończeniu dekodowania, instrukcje są wykonywane równolegle w wszystkich jednostkach funkcjonalnych z maksymalną prędkością 8 instrukcji na cykl zegarowy. Wyniki przechowywane są w 32 bitowych rejestrach i mogą być przeniesione do pamięci jako bajty lub pół-słowa. Wszystkie pobierane i przechowywane instrukcje są adresowane jako bajty (8 bitów), pół-słowa (16 bitów) lub słowa (32 bity).

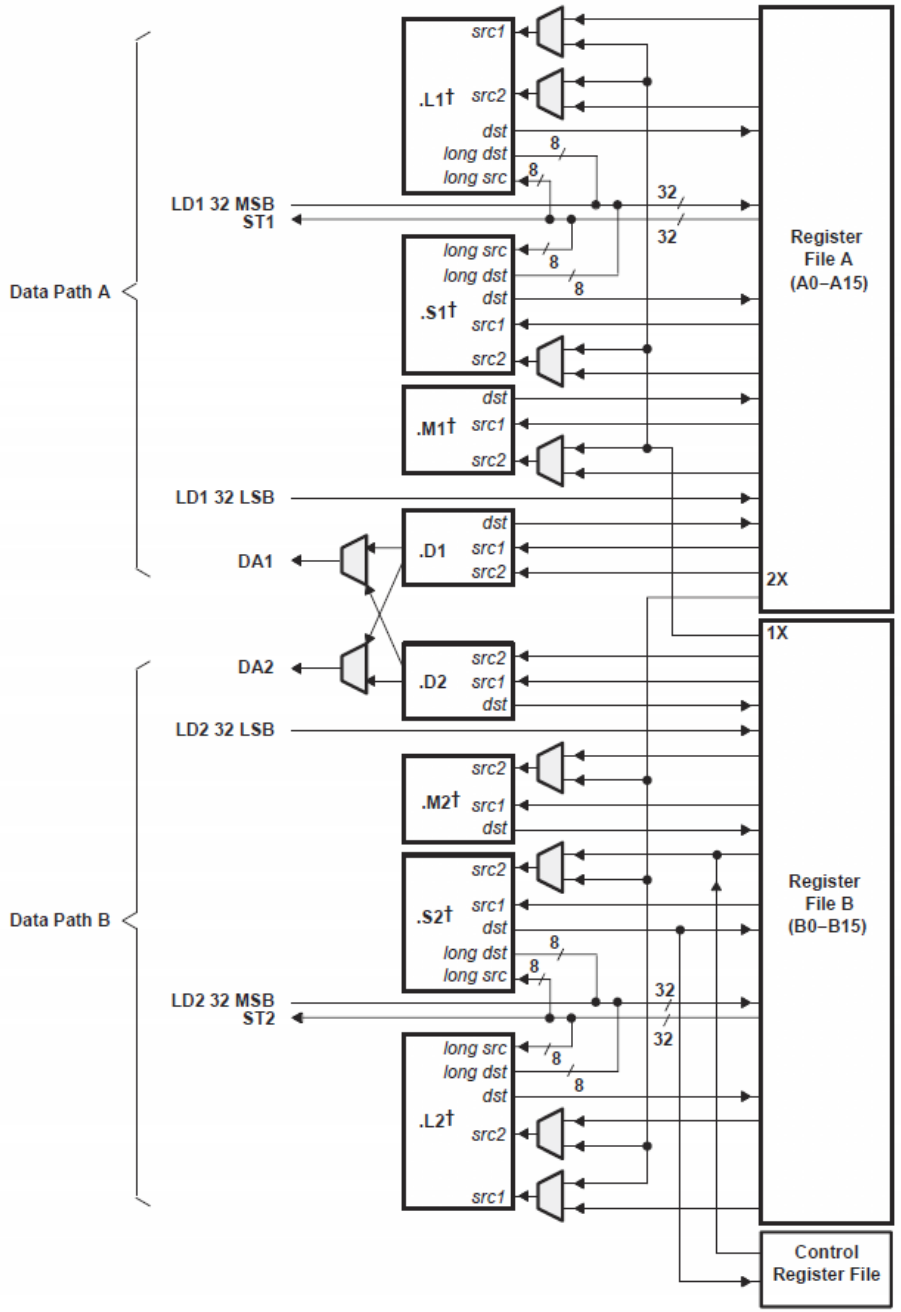
9. Architektura procesora TMS320C6713

Schemat blokowy DSPs (9.2)

Ścieżki danych (9.2.3)

Wyróżnia się następujące elementy ścieżek danych:

- dwie grupy rejestrów ogólnego przeznaczenia (A i B),
- 8 niezależnych jednostek funkcjonalnych (.L1, .L2, .S1, .S2, .M1, .M2, .D1, oraz .D2),
- 2 ścieżki odczytu z pamięci (LD1, LD2),
- 2 ścieżki zapisu do pamięci (ST1, ST2),
- 2 ścieżki dostępu do przeciwległych rejestrów (1X, 2X),
- 2 ścieżki adresowania danych (DA1, DA2)



† In addition to fixed-point instructions, these functional units execute floating-point instructions.

9. Architektura procesora TMS320C6713

Schemat blokowy DSPs (9.2)

Zespół rejestrów kontrolnych (9.2.4)

Zespół rejestrów kontrolnych (*ang. Control Register File*) dostępny jest wyłącznie poprzez jednostkę .S2. Składa się głównie z rejestrów obsługi systemu przerwań procesora. W tabeli przedstawiono poszczególne rejestry kontrolne i ich funkcje. Do każdego rejestru kontrolnego można uzyskać dostęp za pomocą instrukcji MVC (ang. move-character()).

Skrót	Nazwa	Opis
AMR	*Addressing mode register* (rejestr trybu adresowania)	Określa rodzaj adresowania (liniowe lub cykliczne) dla każdego z ośmiu rejestrów; zawiera rozmiar cyklicznego adresowania
CSR	*Control status register* (rejestr kontroli statusu)	Składa się z globalnego bitu zezwalającego na przerwania, bitów kontroli pamięci *cache* oraz inne bity kontroli i statusu
IFR	*Interrupt flag register* (rejestr flag przerwań)	Określa status przerwań
ISR	*Interrupt set register* (rejestr ustawiania przerwań)	Umożliwia ręczne ustawianie oczekujących przerwań
ICR	*Interrupt clear register* (rejestr kasowania przerwań)	Umożliwia ręczne kasowanie oczekujących przerwań
IER	*Interrupt enable register* (rejestr umożliwiania przerwań)	Umożliwia dopuszczanie/zabranianie pojedynczych przerwań
ISTP	*Interrupt service table pointer* (wskaźnik tablicy obsługi przerwań)	Wskazuje początek tablicy obsługi przerwań
IRP	*Interrupt return pointer* (wskaźnik adresu powrotu)	Zawiera adres, który może być użyty do powrotu z zamaskowanego przerwania
NRP	*Nonmaskable interrupt return pointer* (wskaźnik adresu powrotu)	Zawiera adres, który może być użyty do powrotu z niezamaskowanego przerwania
PCE1	*Program counter, E1 phase* (licznik programu)	Zawiera adres pakietu ładowanego do pamięci, zawierającego pakiet wykonawczy

9. Architektura procesora TMS320C6713

Schemat blokowy DSPs (9.2)

Rozszerzenie zespołu rejestrów kontrolnych (9.2.5)

Procesor posiada trzy dodatkowe rejestry konfiguracyjne, służące do określenia sposobu zaokrąglania liczb zmiennoprzecinkowych przez jednostki funkcjonalne .L i .M. Uzupełniające rejestry wykorzystywane są także do informowania o błędnych wynikach (np. przepełnienie, niedomiar itp.). W tabeli przedstawiono dodatkowe rejestry kontrolne i ich funkcje.

Skrót	Nazwa	Opis
FADCR	*Floating-point adder configuration register* (rejestr konfiguracji sumatora zmiennoprzecinkowego)	Określa tryb przepełnienia, tryb zaokrąglenia, nie-liczby oraz inne wyjątki dla jednostki .L
FAUCR	*Floating-point auxiliary configuration register* (rejestr zmiennoprzecinkowych konfiguracji wspomagających)	Określa tryb przepełnienia, tryb zaokrąglenia, nie-liczby oraz inne wyjątki dla jednostki .S
FMCR	*Floating-point multiplier configuration register* (rejestr konfiguracji zmiennoprzecinkowych mnożników)	Określa tryb przepełnienia, tryb zaokrąglenia, nie-liczby oraz inne wyjątki dla jednostki .M

9. Architektura procesora TMS320C6713

Schemat blokowy DSPs (9.2)

Przerwania (9.2.6)

Procesory z rodziny C67x wyposażone są w 16 przerwań: reset, przerwania niemaskowalne (NMI) oraz pozostałe INT4-INT15.

Zależnie od typu urządzenia, sygnały przerwań mogą być podłączone bezpośrednio do pinów wyjściowych, do urzadzeń peryferyjnych układu lub mogą być zablokowane.

Reset i przerwania NMI układu C6713 są podłączone bezpośrednio do pinów urządzenia.

9. Architektura procesora TMS320C6713

Schemat blokowy DSPs (9.2)

Pamięć (9.2.7)

Układy z rodziny C6000 posiadają wbudowaną pamięć wewnętrzną, dzieloną pomiędzy program a dane. Przy czym fragment pamięci wewnętrznej jest zarezer-wowany jako *pamięć cache*. Istnieje możliwość podłączenia do procesora zewnętrznej pamięci za pomocą wbudowanego interfejsu EMIF (*ang. External Memory Interface*). Maksymalna przestrzeń adresowa pamięci zewnętrznej to 512MB.

MEMORY BLOCK DESCRIPTION	BLOCK SIZE (BYTES)	HEX ADDRESS RANGE
Internal RAM (L2)	192K	0000 0000 – 0002 FFFF
Internal RAM/Cache	64K	0003 0000 – 0003 FFFF
Reserved	24M – 256K	0004 0000 – 017F FFFF
External Memory Interface (EMIF) Registers	256K	0180 0000 – 0183 FFFF
L2 Registers	128K	0184 0000 – 0185 FFFF
Reserved	128K	0186 0000 – 0187 FFFF
HPI Registers	256K	0188 0000 – 018B FFFF
McBSP 0 Registers	256K	018C 0000 – 018F FFFF
McBSP 1 Registers	256K	0190 0000 – 0193 FFFF
Timer 0 Registers	256K	0194 0000 – 0197 FFFF
Timer 1 Registers	256K	0198 0000 – 019B FFFF
Interrupt Selector Registers	512	019C 0000 – 019C 01FF
Device Configuration Registers	4	019C 0200 – 019C 0203
Reserved	256K – 516	019C 0204 – 019F FFFF
EDMA RAM and EDMA Registers	256K	01A0 0000 – 01A3 FFFF
Reserved	768K	01A4 0000 – 01AF FFFF
GPIO Registers	16K	01B0 0000 – 01B0 3FFF
Reserved	240K	01B0 4000 – 01B3 FFFF
I2C0 Registers	16K	01B4 0000 – 01B4 3FFF
I2C1 Registers	16K	01B4 4000 – 01B4 7FFF
Reserved	16K	01B4 8000 – 01B4 BFFF
McASP0 Registers	16K	01B4 C000 – 01B4 FFFF
McASP1 Registers	16K	01B5 0000 – 01B5 3FFF
Reserved	160K	01B5 4000 – 01B7 BFFF
PLL Registers	8K	01B7 C000 – 01B7 DFFF
Reserved	264K	01B7 E000 – 01BB FFFF
Emulation Registers	256K	01BC 0000 – 01BF FFFF
Reserved	4M	01C0 0000 – 01FF FFFF
QDMA Registers	52	0200 0000 – 0200 0033
Reserved	16M – 52	0200 0034 – 02FF FFFF
Reserved	720M	0300 0000 – 2FFF FFFF
McBSP0 Data Port	64M	3000 0000 – 33FF FFFF
McBSP1 Data Port	64M	3400 0000 – 37FF FFFF
Reserved	64M	3800 0000 – 3BFF FFFF
McASP0 Data Port	1M	3C00 0000 – 3C0F FFFF
McASP1 Data Port	1M	3C10 0000 – 3C1F FFFF
Reserved	1G + 62M	3C20 0000 – 7FFF FFFF
EMIF CE0†	256M	8000 0000 – 8FFF FFFF
EMIF CE1†	256M	9000 0000 – 9FFF FFFF
EMIF CE2†	256M	A000 0000 – AFFF FFFF
EMIF CE3†	256M	B000 0000 – BFFF FFFF
Reserved	1G	C000 0000 – FFFF FFFF

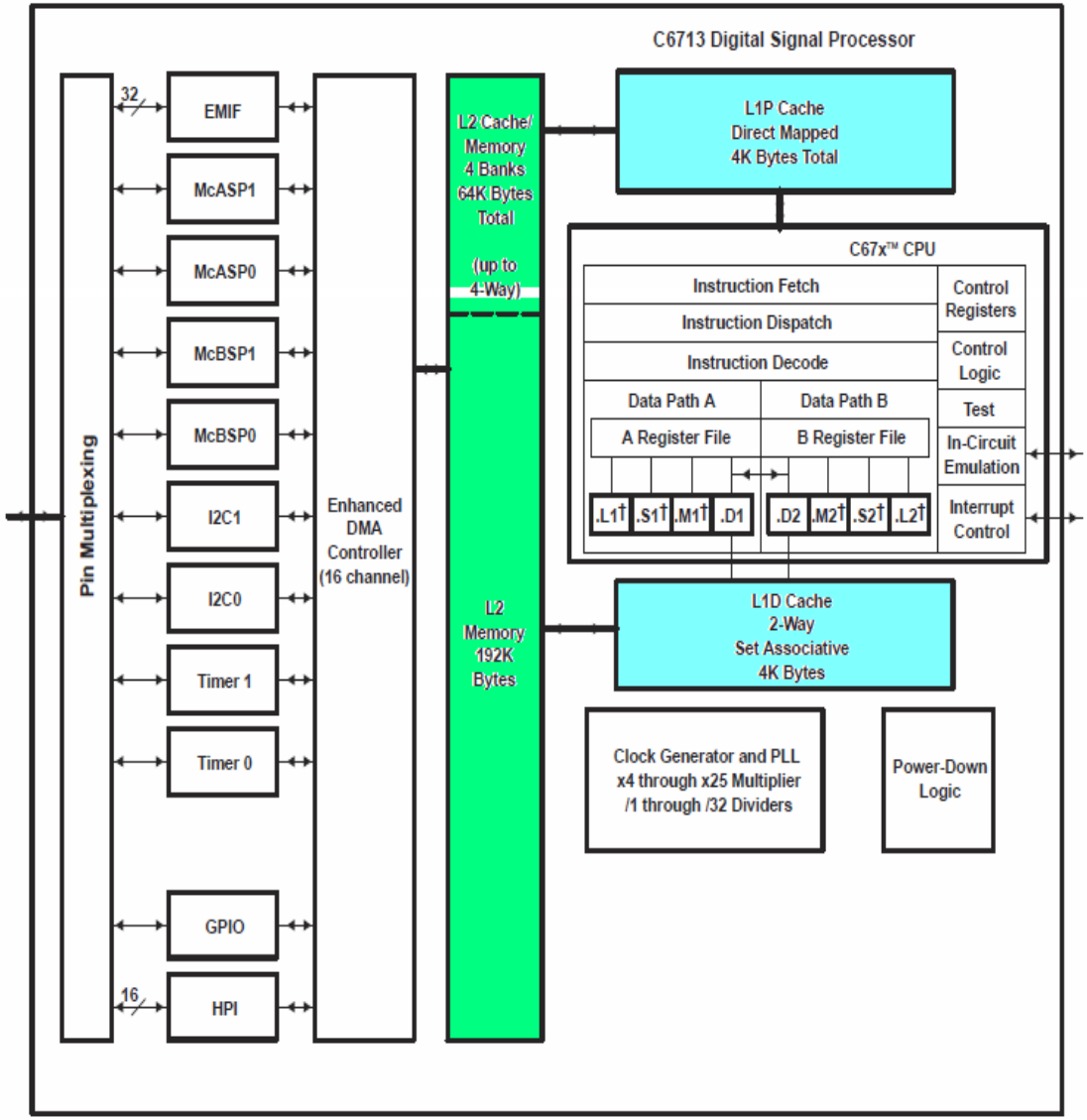
† The number of EMIF address pins (EA[21:2]) limits the maximum addressable memory (SDRAM) to 128MB per CE space.

9. Architektura procesora TMS320C6713

Schemat blokowy DSPs (9.2)

Pamięć wewnętrzna (9.2.8)

Procesor TMS320c6713 posiada dwupoziomową architekturę pamięci przeznaczonej dla wewnętrznego programu oraz magistrali danych. Do pierwszego poziomu należą 4KB pamięci podręcznej programu i 4KB pamięci podręcznej danych (oznaczonych odpowiednio symbolami L1P i L1D).



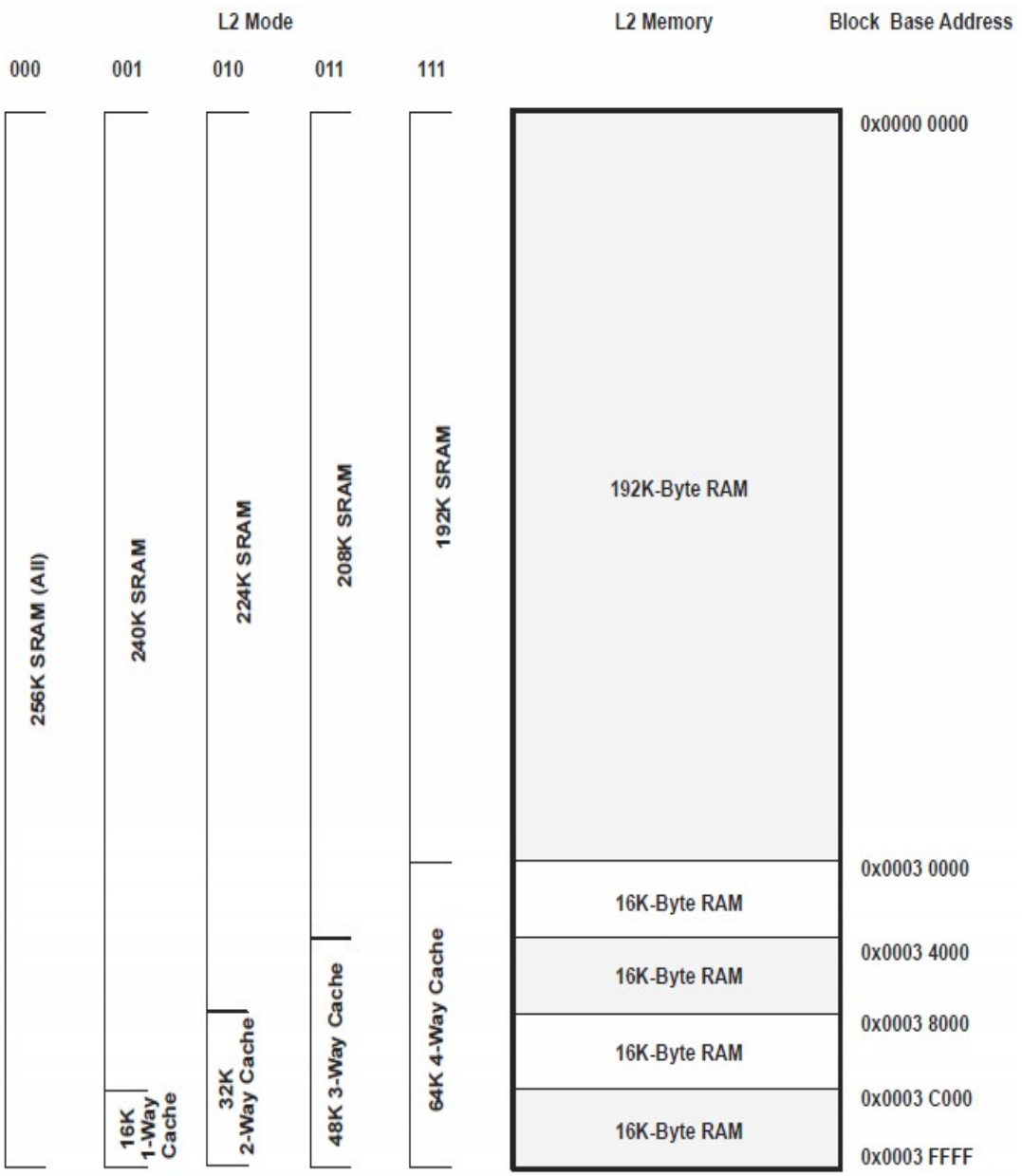
† In addition to fixed-point instructions, these functional units execute floating-point instructions.

9. Architektura procesora TMS320C6713

Schemat blokowy DSPs (9.2)

Pamięć wewnętrzna (9.2.8)

Drugi poziom pamięci to blok o rozmiarze 256KB, który jest współdzielony pomiędzy magistralę danych i programu. Drugi poziom oznaczony jest symbolem L2.
W pamięci L2 w zalezności od wybranego trybu pracy można wyodrębnić pamięć cache o rozmiarze od 0KB do 64KB (co 16KB).



9. Architektura procesora TMS320C6713

Schemat blokowy DSPs (9.2)

Urządzenia peryferyjne (9.2.9)

Układ TMS320C6713 posiada szereg interfejsów umożliwiających komunikację zjednostkami peryferyjnymi. Urządzenia peryferyjne układu rozszerzają zakres jego możliwości oraz umożliwiają komunikację z światem zewnętrznym. Procesor udostępnia następujące peryferia:

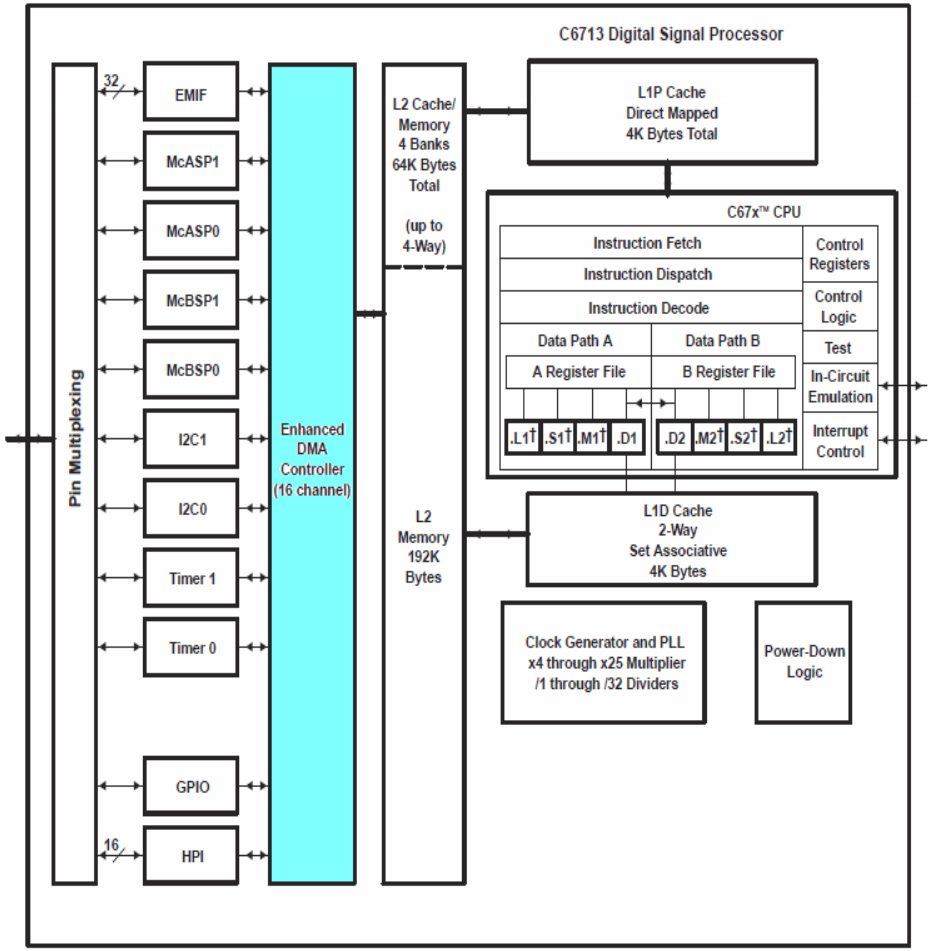
– rozszerzony kontroler bezpośredniego dostępu do pamięci (*EDMA - ang. Enhanced DMA Controller*)
– interfejs komunikacyjny host-port (*HPI ang. Host-Port Interface*)
– interfejs obsługi pamięci zewnętrznej (*EMIF – ang. External Memory Interface*)
– układ logiki konfiguracji inicjowania urządzeń
– dwa wielokanałowych, szeregowych portów audio (*McASP – ang. Multichannel Audio Serial Ports*)
– dwa wielokanałowe buforowane porty szeregowe (McBSP)
– selekcjoner przerwań w uniwersalnym porcie I/O (*GPIO ang. General Purpose I/O Port*)
– dwa porty I2C (*ang. Inter-Integrated Circuit*)
– dwa 32 bitowe liczniki
– układ logiczny odcinający zasilanie
– emulatora *JTAG (ang. Joint Test Action Group)*

9. Architektura procesora TMS320C6713

Schemat blokowy DSPs (9.2)

Rozszerzony kontroler bezpośredniego dostępu do pamięci (EDMA) (9.2.10)

Kontroler EDMA stosowany jest do przesyłania danych pomiędzy pamięcią wewnętrzną procesora, a pamięcią układow peryferyjnych. Podstawową jego zaletą jest możliwość transferu danych bez udziału procesora, co znacznie przyspiesza proces wymiany danych. Kontroler obsługuje do szesnastu kanałów. Oznacza to, że może naraz odpowiadać za szesnaście niezależnych operacji przesyłu danych.



† In addition to fixed-point instructions, these functional units execute floating-point instructions.

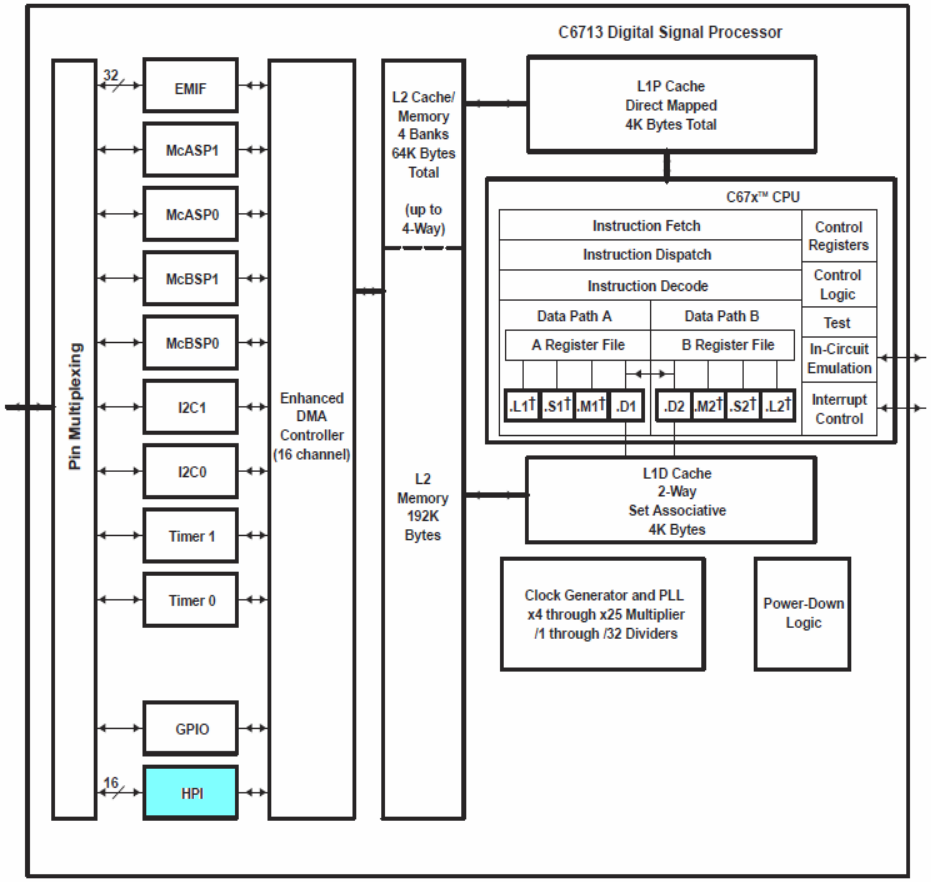
9. Architektura procesora TMS320C6713

Schemat blokowy DSPs (9.2)

Interfejs Host-Port (HPI) (9.2.11)

Interfejs HPI (ang. *Host Port Interface*) jest to równoległy port umożliwiający hostowi bezpośredni dostęp do pamięci procesora sygnałowego. Układ hosta pełni rolę nadrzędną przez co ułatwia komunikację. Host i procesor wymieniają dane poprzez zewnętrzną lub wewnętrzną pamięć procesora.

Host posiada również bezpośredni dostęp do mapowanej pamięci układów peryferyjnych. Połączenie z pamięcią procesora obsługiwane jest przez kontroler DMA lub przez ulepszony kontroler DMA (EDMA). Zarówno host jak i procesor mają dostęp do rejestru kontrolnego (HPIC). Dodatkowo host ma do dyspozycji rejestr adresowy (HPIA) i rejestr danych (HPID) .



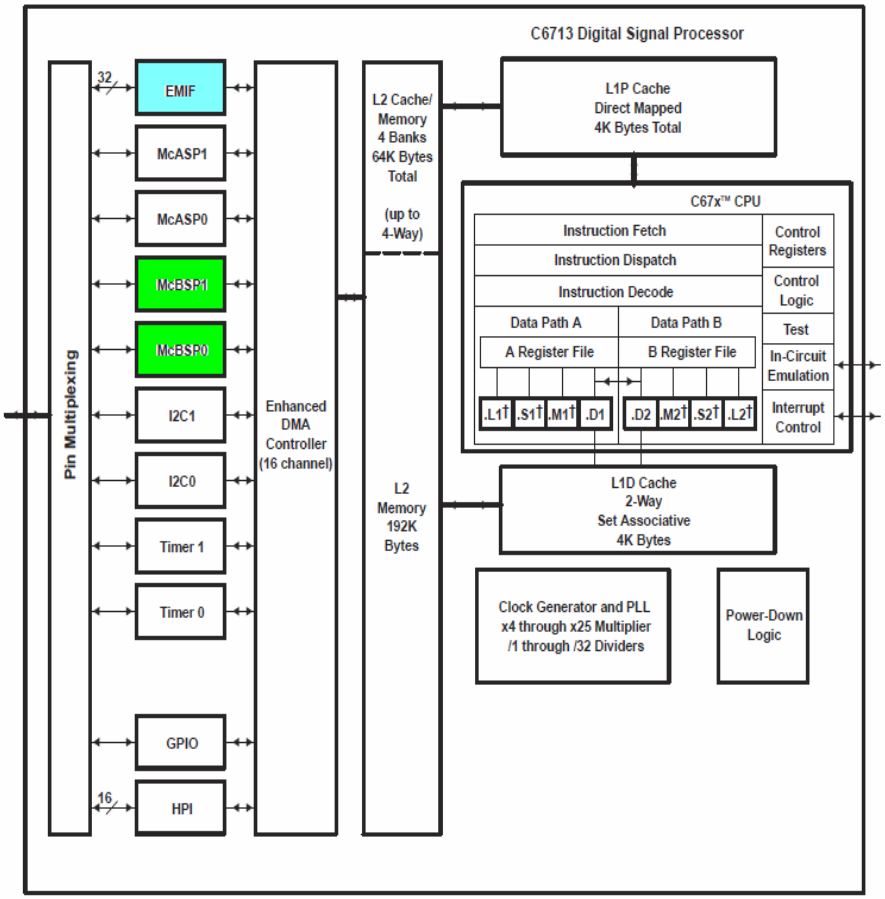
† In addition to fixed-point instructions, these functional units execute floating-point instructions.

9. Architektura procesora TMS320C6713

Schemat blokowy DSPs (9.2)

Interfejs pamięci zewnętrznej (EMIF) (9.2.12)

InInterfejs EMIF umożliwia podłączenie do układu pamięci zewnętrznej typu SDRAM, SBSRAM lub pamięci asynchronicznej. Interfejs obsługuje zarówno pamięci ośmio jak i szesnasto bitowe, dzięki czemu możliwe jest zastosowanie tanich pamięci ROM np. pamięć flash, EEPROM, EPROM oraz PROM. Interfejs EMIF jest kompaty-bilny z wysoko przepustowymi pamięciami SDRAM i SBSRAM.



† In addition to fixed-point instructions, these functional units execute floating-point instructions.

9. Architektura procesora TMS320C6713

Schemat blokowy DSPs (9.2)

Wielokanałowy buforowany port szeregowy (McBSP) (*9.2.13*)

Podstawowy interfejs portu szeregowego charakteryzuje się:

– Dwustronną komunikacją
– Podwójnym buforowaniem rejestr. danych, co umożliw. ciągły przepływ danych
– Niezależną specyfikację ramki i synchronizacją dla odbioru, a także transmisji
– Bezpośrednim dostępem do jednostek kodujących i dekodujących w standardzie przemysłowym, jak również do układów interfejsu analogow. AIC oraz pozostałych przetworników ADC i DAC.
– Możliwością zmiany zegara na zewnętrzny lub wewnętrzny, programowalny licznik welokanałowy, buforowany port szeregowy (McBSP)
– Bezpośrednim dostępem do:
  • Ramek T12/E13,
  • Urządzeń zgodnych ze standardami MVIP4 i ST-BUS5,
  • Urządzeń zgodnych ze standardem IOM-26,
  • Urządzeń zgodnych ze standardem AC977,
  • Urządzeń zgodnych ze standardem IIS8,
  • Urządzeń STITM9
– Wielokanałową transmisją (do 128 kanałów)
– Obsługą kompresji m-law i A-law
– Transferem 8 bitowych danych z pierwszym bitem LSB lub MSB
– Synchronizacją ramki oraz liczników poprzez programowalną biegunowość
– Możliwością programowalnej generacji wewnętrznego zegara i ramki

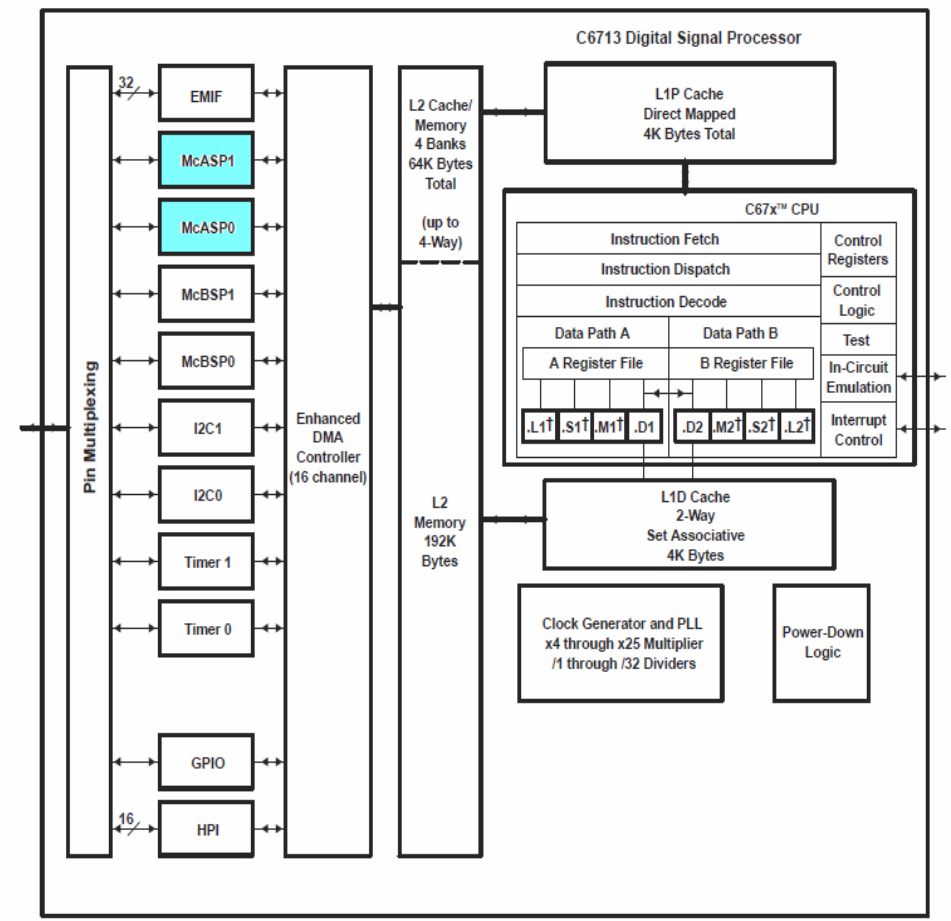
9. Architektura procesora TMS320C6713

Schemat blokowy DSPs (9.2)

Wielokanałowy, szeregowy port audio (McASP) (9.2.14)

Port ten zapewnia:

- dwie niezależne strefy zegarowe (1 *TX* oraz 1 *RX*)
- 8 szeregowych wyjść, ktore można łączyć niezależnie do stref zegarowych
- różne odmiany protokołu I2C
- różne odmiany cyfrowych protokołów audio np. S/PDIF na 16 różnych pinach
- kontrolę błędów transmisji.



† In addition to fixed-point instructions, these functional units execute floating-point instructions.

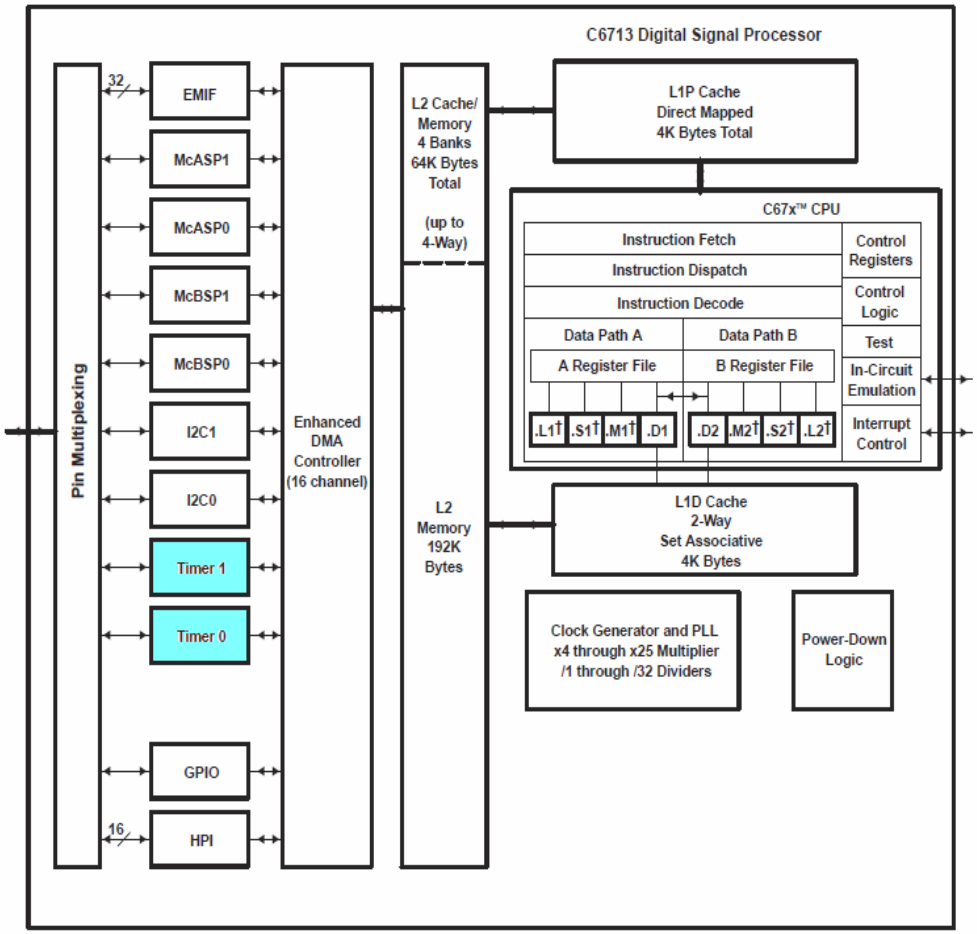
9. Architektura procesora TMS320C6713

Schemat blokowy DSPs (9.2)

Timer'y (9.2.15)

Układ posiada dwa 32-bitowe timer'y ogólnego przeznaczenia, które mogą być wykorzystane do:

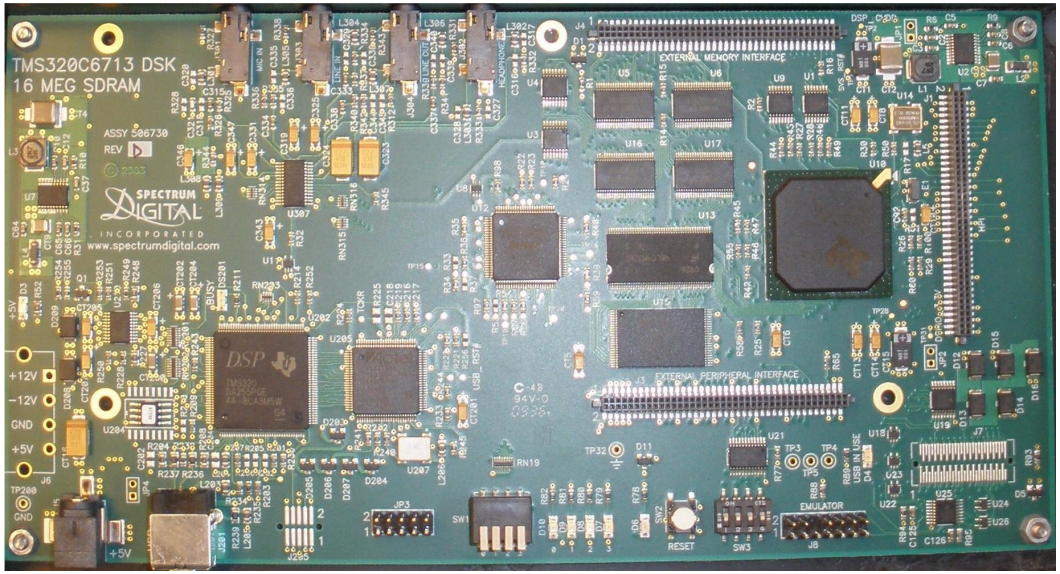
- obsługi zdarzeń czasowych,
- obsługi zliczeń,
- generowania impulsów,
- generowania przerwań procesora,
- wysyłania zdarzeń synchronizujących do kontrolera EDMA.

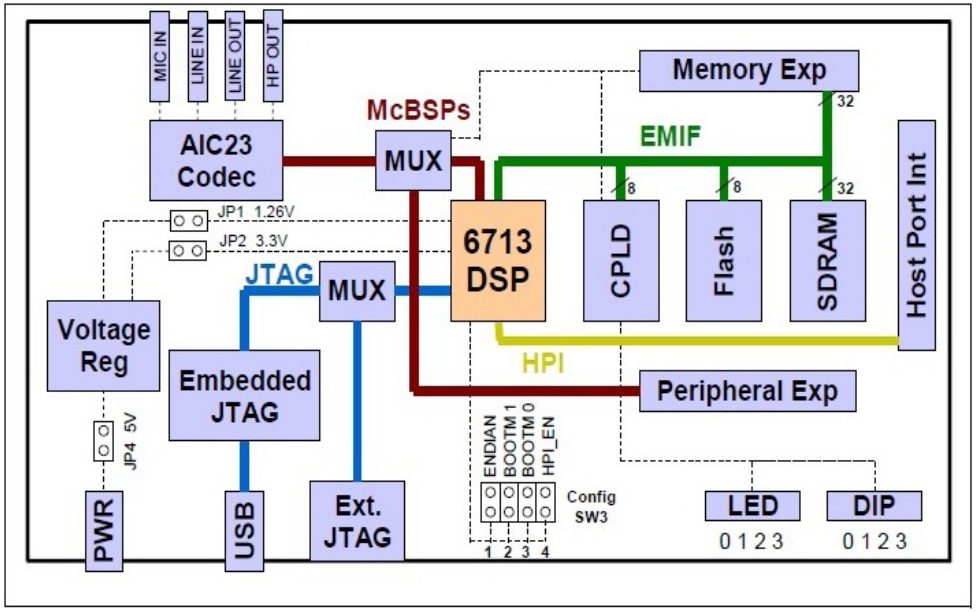


† In addition to fixed-point instructions, these functional units execute floating-point instructions.

10. Karta DSK procesora TMS320C6713

Karta DSP Starter Kit (DSK) procesora TMS320C6713 jest kompletnym systemem DSP czasu rzeczywistego, zawierającym zmiennoprzecinkowy procesor sygnałowy TMS320C6713 oraz 32-bitowy codec stereoTLV320AIC23 (AIC23) (- przetwornik AC i DC, o częstotliwości próbkowania 8-96 kHz), trzy złącza 80-pinowe pozwalające na podłączenie kart rozszerzeń (daughter cards), urządzeń peryferyjnych (m. in. wyświetlacza ciekłokrystalicznego LCD), interfejsów pamięci zewnętrznej oraz host procesora, sterującego pracą ukłdu. Karta DSK zawiera cztery możliwe do wykorzystania przez programistę diody świecące oraz cztery micro-przełączniki dwustanowe. Na płycie jest 16 MB synchronicznej dynamicznej pamięci RAM – SDRAM oraz 256 kB pamięci Flash, znajdują sie tam równiez przetwornice napięcia 5V-1.26V (zasilanie rdzeńa procesora C6713) oraz 5V-3.3V (zasilanie pamięci oraz urządzeń peryferyjnych). Maksymalna częstotliwość pracy procesora to 225 Mhz.

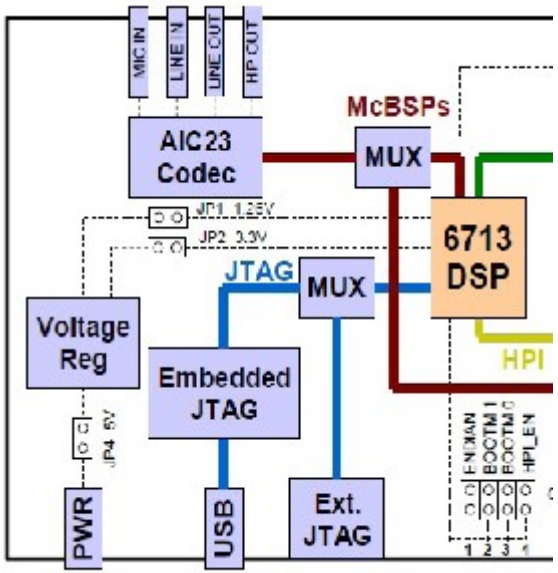


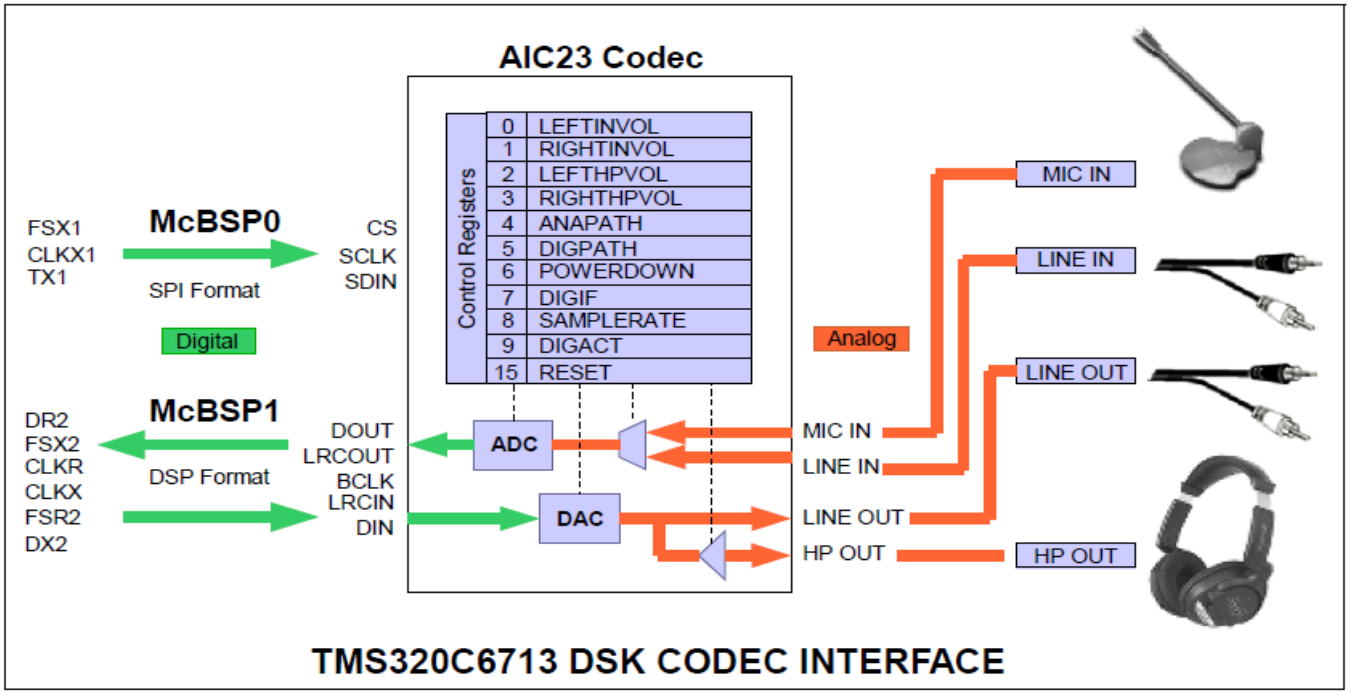


10. Karta DSK procesora TMS320C6713

Kodek TLV320AIC23: przetwornik AC/CA produkcji firmy Texas Instruments jest układem łączący procesor ze światem zewnętrznym. Wykorzystuje technologię sigma-delta, która zapewnia wysoką jakość próbkowanego sygnału, odpowiednią do zastosowania w systemie przetwarzania audio. Najważniejsze cechy układu:

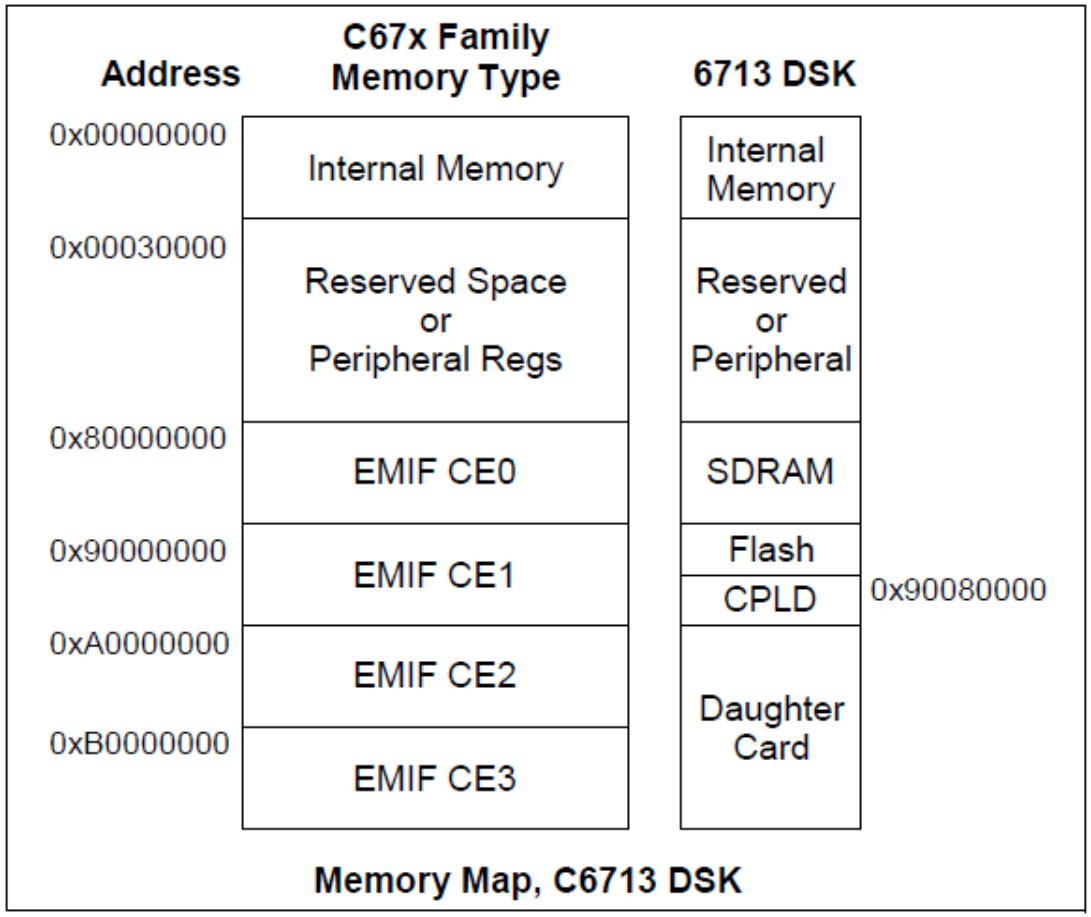
- rozdzielczość przetworników 16, 20, 24 lub 32 bity,
- zakres dynamiki odpowiedni do zastosowań wysokiej jakości audio (dla przetwornika AC SNR rzędu 90dB a dla CA SNR ok. 100 dB),
- częstotliwość próbkowania od 8 do 96 kHz,
- komunikacja za pośrednictwem portu SPI (konfiguracja kodeka) oraz McBSP (transfer danych z/do kodeka)
- wejścia: mikrofonowe, liniowe, wyjścia: liniowe, słuchawkowe.

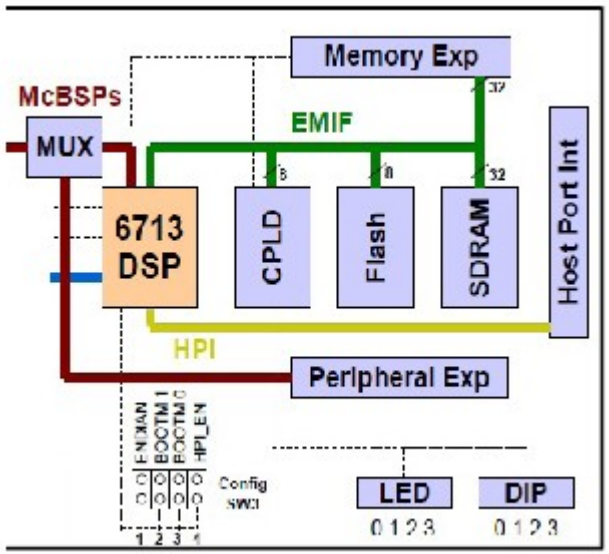




10. Karta DSK procesora TMS320C6713

Pamięć zewnętrzna: Moduł TMS320C6713 DSK zawiera 8 MB zewnętrznej ulotnej pamięci SDRAM oraz 512 KB zewnętrznej nieulotnej pamięci flash, z czego jedynie 256 KB dostępne jest dla programisty. Obie pamięci podłączone są do procesora przy wykorzystaniu interfejsu pamięci zewnętrznej EMIF (ang. *External Memory Interface*). Pamięć Flash może służyć za zewnętrzną pamięć ROM lub do wczytywania programu po włączeniu zasilania układu. Istnieje możliwość dołączenia następnych modułów pamięci poprzez wbudowany interfejs EMIF.



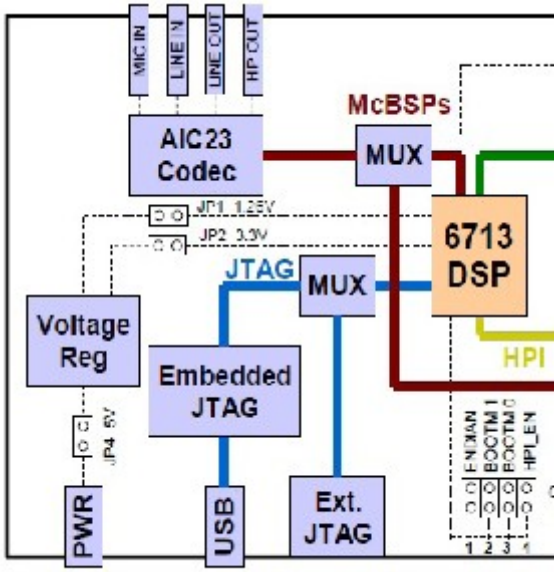


10. Karta DSK procesora TMS320C6713

Emulator JTAG na złączu USB: Emulator JTAG (*ang.: Joint Test Action Group*) służy do testowania, programowania oraz debugowania układów scalonych (norma standardu IDEE 1149.1). Do współpracy z emulatorem procesor wyposażono w 5 dodatkowych wyprowadzeń zewnętrznych. JTAG pozwala na wykonywanie szeregu funkcji diagnostycznych, ułatwiających projektowanie oprogramowania układów. Do funkcji tych należą:

- dostęp do sygnałów oraz rejestrów wewnętrznych procesora w czasie działania programów,
- sterowanie wykonywaniem programów (ustawianie pułapek, praca krokowa),
- przeglądanie oraz modyfikacja zawartości pamięci systemu,
- programowanie układu, zapis do pamięci FLASH.

Kartę C6713 DSK wyposażono w sprzętowy emulator interfejsu JTAG dostosowany do pracy z konfiguracją sprzętową DSK oraz środowiskiem programistycznym Code Composer Studio. Komunikacja pomiędzy sprzętowym emulatorem a komputerem PC odbywa się za pomoca złącza USB (interfejs USB 1.1.). Dodatkowo na płytce DSK znajdują się wyprowadzenia służące do podłączenia emulatora zewnętrznego (np. Spectrum Digital XDS510 USB). Aby zapobiec konfliktom sprzętowym, po wykryciu podłączenia urządzenia do wyprowadzeń zewnętrznych następuje samoczynne odłączenie emulatora wewnętrznego.



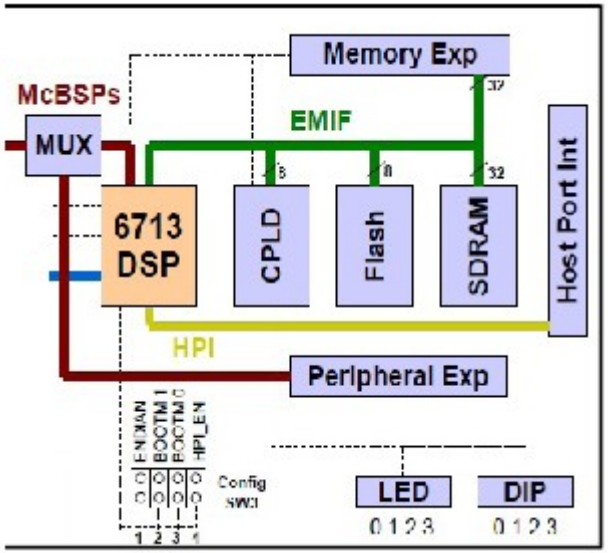
10. Karta DSK procesora TMS320C6713

Złącza kart rozszerzeń: Karta DSK 6713 zawiera trzy 80-pinowe złącza umożliwiające podłączenie kart rozszerzeń (*ang.: daughtercard*) :

1. Złącze pamięci zewnętrznej EMIF (ang. *External Memory Interface*), umożliwia podłączenie dodatkowych układów pamięci RAM, ROM oraz urządzeń peryferyjnych. Pamięć nieulotna może również służyć jako Boot ROM.

2. Złącze zewnętrznego iterfejsu do obsługi układów peryferyjnych EPI (*ang.: External Peripheral Interface*), zawierające wyprowadzenia linii wejścia/wyjścia procesora - GPIO (*ang.: General-Purpose Input/Output*), interfejsów szeregowych do podłączania urządzeń zewnętrznych takich jak kodeki oraz urządzenia komunikacyjne, timerów systemowych oraz zegara synchronizującego, czterech linii przerwań zewnętrznych procesora oraz resetu.

3. Złącze interfejsu hosta HPI (*ang.: Host Peripheral Interface*) pozwala na komunikację z komputerem nadrzędnym oraz umożliwiające komunikację wzajemną wielu modułów DSP. Zawiera wyprowadzenia interfejsu hosta oraz porty McBSP procesora.



10. Karta DSK procesora TMS320C6713

Układ CPLD: układ logiki programowalnej CPLD (*ang.: Complex Programmable Logic Device*) Altera EPM3128TC100-10 służy do:

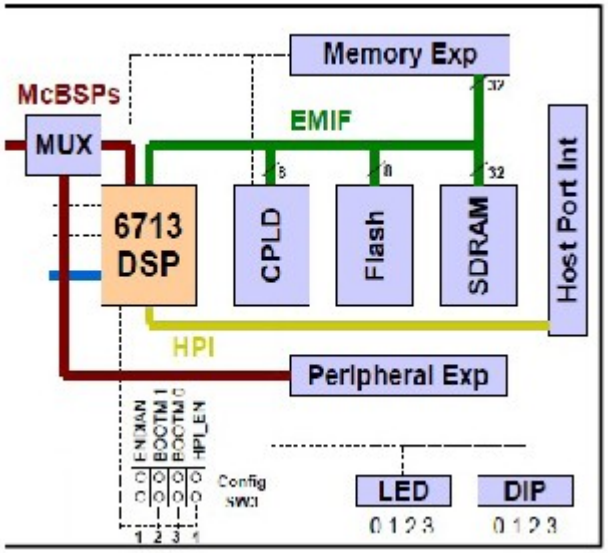
- logicznego zespolenia wszystkich pozespołow karty DSK,
- sterowania interfejsem oraz sygnałami kart rozszerzeń,
- zarządzania 4 rejestrami mapowanymi w sektorze pamięci EMIF CE1 od adresu data 0x90080000. Są to 8-bitowe rejestry zaopatrzone w proste asynchroniczne interfejsy pamięci. Używa się ich między innymi do sterowania 4 diodami LED oraz 4 przełącznikami “DIP switch”. Diody oraz przełączniki mogą byc wykorzystywane przez użytkowników karty DSK do sterowania przebiegiem progamu.

CPLD Register Definitions

Offset	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0	USER_REG	USR_SW3 R	USR_SW2 R	USR_SW1 R	USR_SW0 R	USR_LED3 R/W 0(Off)	USR_LED2 R/W 0(Off)	USR_LED1 R/W 0(Off)	USR_LED0 R/W 0(Off)
1	DC_REG	DC_DET R	0	DC_STAT1 R	DC_STAT0 R	DC_RST R 0(No reset)	0	DC_CNTL1 R/W 0(low)	DC_CNTL0 R/W 0(low)
4	VERSION	CPLD_VER[3.0] R				0	BOARD VERSION[2.0] R		
6	MISC	SCR_5 R/W 0	SCR_4 R/W 0	SCR_3 R/W 0	SCR_2 R/W 0	SCR_1 R/W 0	FLASH_PAGE R/W 0 (Flash A19=0)	McBSP1 ON/OFF Board R/W 0 (Onboard)	McBSP0 ON/OFF Board R/W 0 (Onboard)

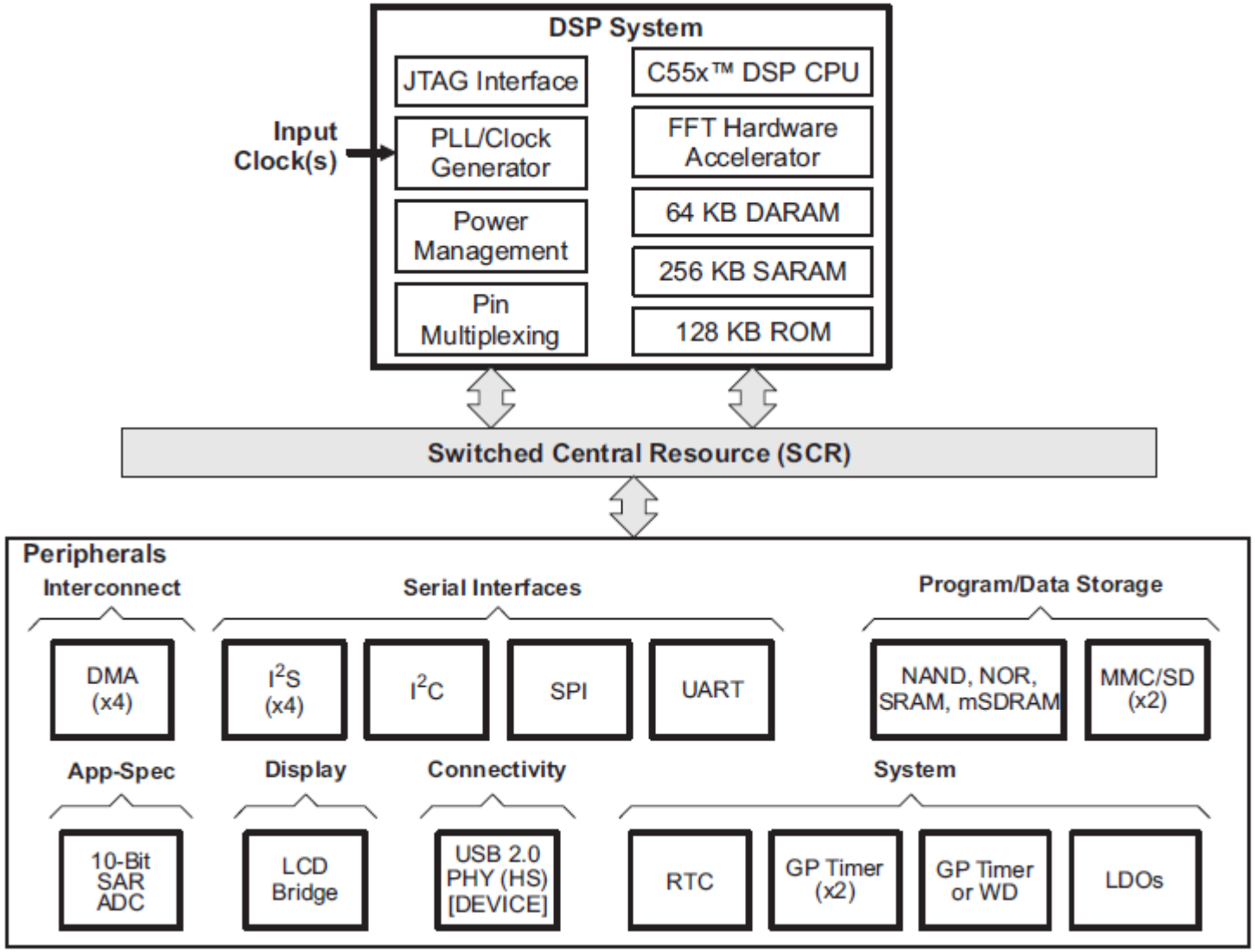
CPLD USER_REG Register

Bit	Name	R/W	Description
7	USER_SW3	R	User DIP Switch 3(1 = Off, 0 = On)
6	USER_SW2	R	User DIP Switch 2(1 = Off, 0 = On)
5	USER_SW1	R	User DIP Switch 1(1 = Off, 0 = On)
4	USER_SW0	R	User DIP Switch 0(1 = Off, 0 = On)
3	USER_LED3	R/W	User-defined LED 3 Control (0 = Off, 1 = On)
2	USER_LED2	R/W	User-defined LED 2 Control (0 = Off, 1 = On)
1	USER_LED1	R/W	User-defined LED 1 Control (0 = Off, 1 = On)
0	USER_LED0	R/W	User-defined LED 0 Control (0 = Off, 1 = On)



11. Procesor TMS320C5515

Stałoprzecinkowy wydajny procesor sygnałowy małej mocy



11. Procesor TMS320C5515

1 Fixed-Point Digital Signal Processor

1.1 Features

- High-Performance, Low-Power, TMS320C55x™ Fixed-Point Digital Signal Processor
  - 16.67-, 13.33-, 10-, 8.33-ns Instruction Cycle Time
  - 60-, 75-, 100-, 120-MHz Clock Rate
  - One/Two Instruction(s) Executed per Cycle
  - Dual Multipliers [Up to 200 or 240 Million Multiply-Accumulates per Second (MMACS)]
  - Two Arithmetic/Logic Units (ALUs)
  - Three Internal Data/Operand Read Buses and Two Internal Data/Operand Write Buses
  - Software-Compatible With C55x Devices
  - Industrial Temperature Devices Available
- 320K Bytes Zero-Wait State On-Chip RAM, Composed of:
  - 64K Bytes of Dual-Access RAM (DARAM), 8 Blocks of 4K x 16-Bit
  - 256K Bytes of Single-Access RAM (SARAM), 32 Blocks of 4K x 16-Bit
- 128K Bytes of Zero Wait-State On-Chip ROM (4 Blocks of 16K x 16-Bit)
- 4M x 16-Bit Maximum Addressable External Memory Space (SDRAM/mSDRAM)
- 16-/8-Bit External Memory Interface (EMIF) with Glueless Interface to:
  - 8-/16-Bit NAND Flash, 1- and 4-Bit ECC
  - 8-/16-Bit NOR Flash
  - Asynchronous Static RAM (SRAM)
  - SDRAM/mSDRAM (1.8-, 2.5-, 2.75-, and 3.3-V)
- Direct Memory Access (DMA) Controller
  - Four DMA With 4 Channels Each (16-Channels Total)
- Three 32-Bit General-Purpose Timers
  - One Selectable as a Watchdog and/or GP
- Two MultiMedia Card/Secure Digital (MMC/SD) Interfaces
- Universal Asynchronous Receiver/Transmitter (UART)
- Serial-Port Interface (SPI) With Four Chip-Selects
- Master/Slave Inter-Integrated Circuit (I^2C Bus™)
- Four Inter-IC Sound (I^2S Bus™) for Data Transport
- Device USB Port With Integrated 2.0 High-Speed PHY that Supports:
  - USB 2.0 Full- and High-Speed Device
- LCD Bridge With Asynchronous Interface
- Tightly-Coupled FFT Hardware Accelerator
- 10-Bit 4-Input Successive Approximation (SAR) ADC
- Real-Time Clock (RTC) With Crystal Input, With Separate Clock Domain and Power Supply
- Four Core Isolated Power Supply Domains: Analog, RTC, CPU and Peripherals, and USB
- Four I/O Isolated Power Supply Domains: RTC I/O, EMIF I/O, USB PHY, and DV_{DDIO}
- Three integrated LDOs (DSP_LDO, ANA_LDO, and USB_LDO) to power the isolated domains: DSP Core, Analog, and USB Core, respectively
- Low-Power S/W Programmable Phase-Locked Loop (PLL) Clock Generator
- On-Chip ROM Bootloader (RBL) to Boot From NAND Flash, NOR Flash, SPI EEPROM, SPI Serial Flash or I2C EEPROM
- IEEE-1149.1 (JTAG™) Boundary-Scan-Compatible
- Up to 26 General-Purpose I/O (GPIO) Pins (Multiplexed With Other Device Functions)
- 196-Terminal Pb-Free Plastic BGA (Ball Grid Array) (ZCH Suffix)
- 1.05-V Core (60 or 75 MHz), 1.8-V, 2.5-V, 2.75-V, or 3.3-V I/Os
- 1.3-V Core (100, 120 MHz), 1.8-V, 2.5-V, 2.75-V, or 3.3-V I/Os
- Applications:
  - Wireless Audio Devices (e.g., Headsets, Microphones, Speakerphones, etc.)
  - Echo Cancellation Headphones
  - Portable Medical Devices
  - Voice Applications
  - Industrial Controls
  - Fingerprint Biometrics
  - Software Defined Radio

11. Procesor TMS320C5515

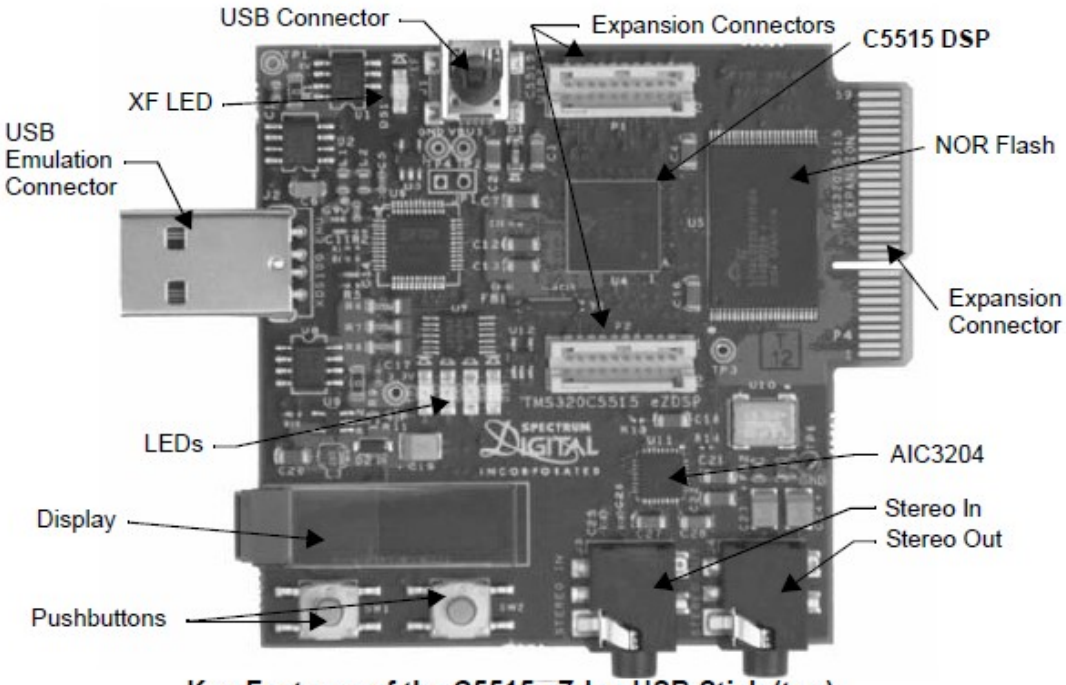
CPU BYTE ADDRESS[A]	DMA/USB/LCD BYTE ADDRESS[A]	MEMORY BLOCKS	BLOCK SIZE
000000h	0001 0000h	MMR (Reserved)[B]	
0000C0h	0001 00C0h	DARAM[D]	64K Minus 192 Bytes
010000h	0009 0000h	SARAM	256K Bytes
050000h	0100 0000h	External-CS0 Space[C][E]	8M Minus 320K Bytes SDRAM/mSDRAM
800000h	0200 0000h	External-CS2 Space[C]	4M Bytes Asynchronous
C00000h	0300 0000h	External-CS3 Space[C]	2M Bytes Asynchronous
E00000h	0400 0000h	External-CS4 Space[C]	1M Bytes Asynchronous
F00000h	0500 0000h	External-CS5 Space[C]	1M Minus 128K Bytes Asynchronous
FE0000h	050E 0000h	ROM (if MPNMC=0) / Reserved (if MPNMC=1)	Unmapped (if MPNMC=1) 128K Bytes ROM (if MPNMC=0)
FFFFFFh	050F FFFFh		

A. Address shown represents the first byte address in each block.
B. The first 192 bytes are reserved for memory-mapped registers (MMRs).
C. Reading/Writing to/from unmapped returns zeros.
D. The USB and LCD controllers do not have access to DARAM.
E. The CS0 space can be accessed by CS0 *only* or by CS0 *and* CS1.

Memory Map Summary

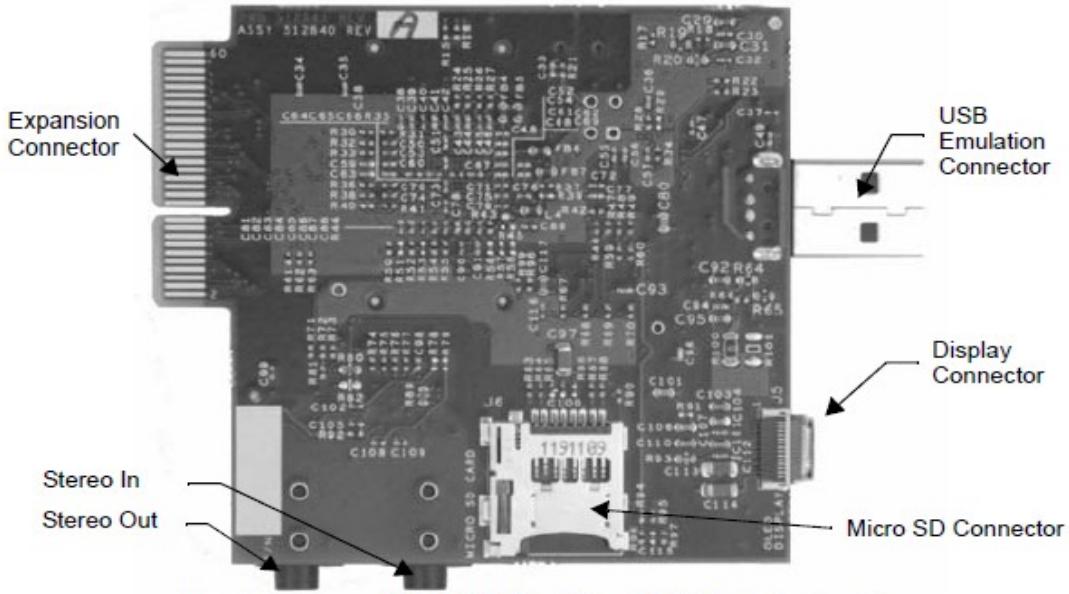
11. TMS320C5515 eZdsp USB Stick

Karta *TMS320C5515 eZdsp USB Stick* procesora *TMS320C5515* jest kompletnym systemem DSP czasu rzeczywistego, zawierającym:



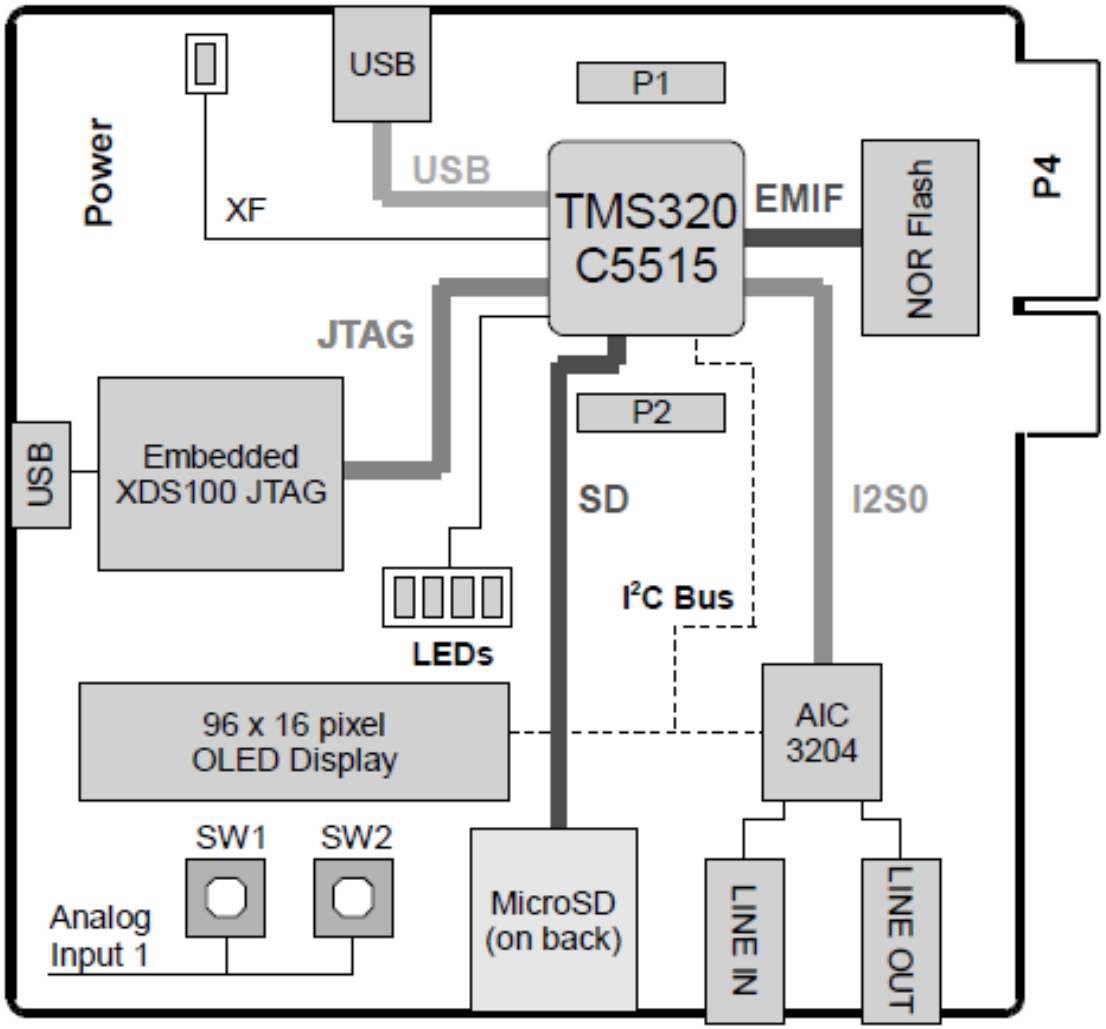
Key Features of the C5515 eZdsp USB Stick (top)

- audio kodekTLV320AIC3204,
- USB 2.0 interface, 32 Mb pamięci
- NOR flash, Wyswietlacz I2C OLED,
- 5 dior LED "użytkownika",
- 2 przyciski monostabilne,
- emulator JTAG USB XDS100.



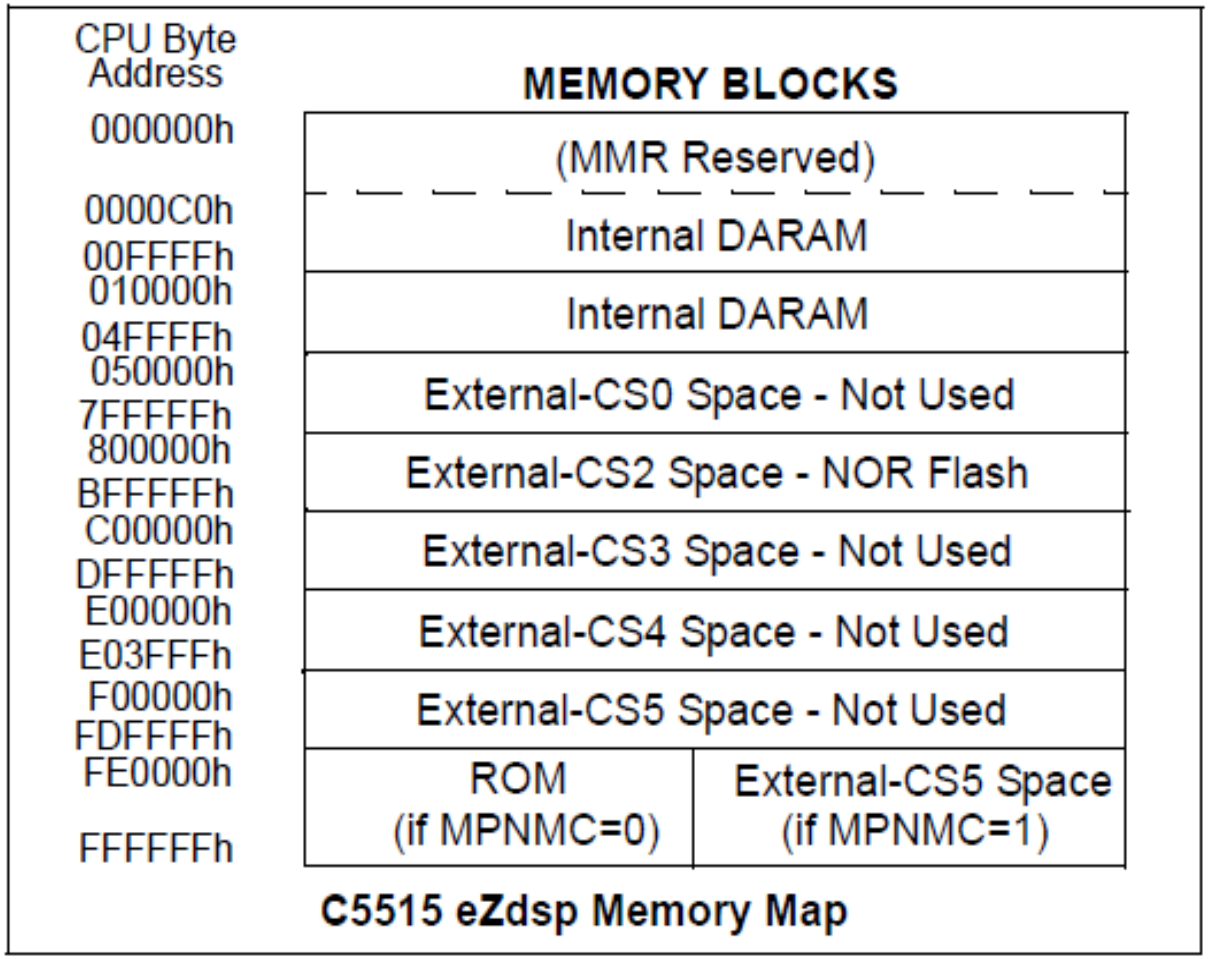
Key Features of the C5515 eZdsp USB Stick (bottom)

11. Procesor TMS320C5515



C5515 eZdsp USB Stick Block Diagram

11. Procesor TMS320C5515



C5515 eZdsp Memory Map

Note: MPNMC bit in ST3 Status Register is cleared(0) at RESET so the C5515 will attempt to execute its boot load sequence.