

Temat	Niskonapięciowy wielowyjściowy wzmacniacz transkonduktancyjny w technologii CMOS XFAB 0,18 μm przeznaczony do budowy filtrów na niskie częstotliwości
Temat w języku angielskim	Low voltage multiple output transconductance amplifier in CMOS XFAB 0.18 μm technology for use in filters operating in low frequency range
Opiekun pracy	dr hab. inż. Bogdan Pankiewicz
Konsultant pracy	
Cel pracy	Celem pracy jest wykonanie projektu wielowyjściowego niskonapięciowego wzmacniacza transkonduktancyjnego w technologii CMOS XFAB 0,18 μm przeznaczonego do budowy filtrów typu OTA-C pracujących w zakresie niskich częstotliwości (100 Hz-20 kHz). Ze względu na postawione wymagania układ powinien pracować z wykorzystaniem tranzystorów MOS w zakresie podprogowym, charakteryzować się bardzo niską wartością transkonduktancji i małym poborem mocy.
Zadania	<ol style="list-style-type: none"> 1. Zapoznanie się z problemem. 2. Wykonanie projektu schematu elektrycznego. 3. Wykonanie symulacji elektrycznych projektu.
Literatura	<ol style="list-style-type: none"> 1. Matching properties of MOS transistors", M. Pelgrom, A. Duinmaijer, A. Welbres, IEEE Journal of Solid-State Circuits, vol.. 24, no. 5, October 1989. 2. R. L. Geiger, P. E. Allen, N. R. Strader, „VLSI design techniques for analog and digital circuits“, McGraw-Hill 1990. 3. Dokumentacja technologii CMOS XFAB 0,18 μm – dostępna w katedrze. 4. Dokumentacja pakietu oprogramowania CADENCE – dostępna w katedrze.
Proponowana liczba osób	1
Informacje dodatkowe	
Komentarz	
Studia	Elektronika i telekomunikacja stacjonarne I stopnia - inżynierskie

Temat	Zdalny czujnik parametrów środowiskowych
Temat w języku angielskim	Mobile environmental parameters sensor
Opiekun pracy	dr hab. inż. Bogdan Pankiewicz
Konsultant pracy	
Cel pracy	<p>Celem projektu jest wykonanie czujnika parametrów środowiskowych o niewielkich wymiarach i zasilanego z akumulatora zdolnego do samodzielnej niezależnej pracy przez okres co najmniej 1 miesiąca. Urządzenie ma być przeznaczone do pracy na zewnątrz. Połączenie z urządzeniem ma być realizowane poprzez sieć WiFi. Planowane jest wykonanie obudowy poprzez wydruk 3D. Pozostałe parametry:</p> <ul style="list-style-type: none"> - zasilanie modułów wewnętrznych napięciem 3,3 V, - podtrzymywanie zasilania z pojedynczej celi Li-Pol lub Li-Ion, - zasilanie zewnętrzne, ładowanie akumulatora oraz programowanie poprzez złącze USB, - obowiązkowe pomiary: temperatury, wilgotności, ciśnienia - opcjonalne pomiary: PM, NO₂ oraz wszelkie dodatkowe zaproponowane przez wykonawców, - możliwe 2 wersje urządzenia: bez i ze zintegrowanym wyświetlaczem mierzonych parametrów.
Zadania	<ol style="list-style-type: none"> 1. Zapoznanie się z problemem. 2. Wykonanie projektu schematu elektrycznego. 3. Wykonanie projektu płytki drukowanej. 4. Wykonanie oprogramowania urządzenia. 5. Wykonanie obudowy urządzenia oraz jego montaż. 6. Testy działania.
Literatura	<ol style="list-style-type: none"> 1. M. Szumski, "Mikrokontrolery STM32 w systemach sterowania i regulacji", BTC 2107. 2. https://www.espressif.com/en/products/modules/esp8266
Proponowana liczba osób	1
Informacje dodatkowe	
Komentarz	
Studia	Elektronika i telekomunikacja stacjonarne I stopnia - inżynierskie

Temat	Sprzętowy akcelerator do przetwarzania wyrażeń regularnych zrealizowany w oparciu o płytę prototypową Virtex2Pro FPGA
Temat w języku angielskim	Hardware accelerator for regular expressions processing based on Virtex2Pro FPGA prototype board
Opiekun pracy	dr inż. Miron Kłosowski
Konsultant pracy	
Cel pracy	Projekt i realizacja w układzie FPGA sprzętowego akceleratora przetwarzającego wybrane elementy wyrażeń regularnych oraz implementacja sterownika dla tego akceleratora pozwalającego na jego pracę w systemie operacyjnym Linux.
Zadania	<ol style="list-style-type: none"> 1. Zapoznanie się z wyrażeniami regularnymi, ćwiczenia z komendą grep, specyfikacja szczegółowych założeń akceleratora. 2. Opracowanie w języku VHDL projektu akceleratora przetwarzającego wybrane elementy wyrażeń regularnych. 3. Opracowanie sterownika dla zaprojektowanego akceleratora (działającego w systemie operacyjnym Linux). 4. Opracowanie oprogramowania testującego i porównującego wydajność akceleratora z wydajnością systemowej komendy grep uruchomionej na tej samej platformie sprzętowej. 5. Wnioski z testów oraz pomiarów wydajności i podsumowanie.
Literatura	<ol style="list-style-type: none"> 1. Strona laboratorium ISP: http://www.ue.eti.pg.gda.pl/isp 2. Dokumentacja układów Virtex2Pro: www.xilinx.com 3. Gogte, Vaibhav, et al. "HARE: Hardware accelerator for regular expressions." Microarchitecture (MICRO), 2016 49th Annual IEEE/ACM International Symposium on. IEEE, 2016.
Proponowana liczba osób	1
Informacje dodatkowe	
Komentarz	
Studia	Elektronika i telekomunikacja stacjonarne I stopnia - inżynierskie

Temat	Implementacja fizycznej funkcji nieklonowalnej w układzie FPGA
Temat w języku angielskim	FPGA implementation of physical unclonable function
Opiekun pracy	dr inż. Miron Kłosowski
Konsultant pracy	
Cel pracy	Projekt i realizacja w układzie FPGA fizycznej funkcji nieklonowalnej (Physical Unclonable Function).
Zadania	<ol style="list-style-type: none"> 1. Zapoznanie się z następującymi metodami realizacji fizycznych funkcji nieklonowalnych (PUF) w układach ASIC i FPGA: Arbiter PUF, Ring-Oscillator PUF, Anderson PUF, Butterfly PUF. 2. Wybór metody odpowiedniej do implementacji w układzie FPGA i szczegółowe zapoznanie się z nią. 3. Implementacja fizycznej funkcji nieklonowalnej wybraną metodą w układzie FPGA produkcji Xilinx za pomocą języka VHDL. 4. Opracowanie oprogramowania testującego, przeprowadzenie testów i określenie właściwości zrealizowanego układu PUF. 5. Wnioski z testów i podsumowanie.
Literatura	<ol style="list-style-type: none"> 1. Zhang JL, Wu Q, Ding YP et al. Techniques for design and implementation of an FPGA-specific physical unclonable function. Journal of Computer Science and Technology 31(1): 124–136 Jan. 2016. DOI 10.1007/s11390-016-1616-8 2. Anderson JH. A PUF design for secure FPGA-based embedded systems. In Proc. the 15th ASPDAC, Jan. 2010, pp.1-6. 3. Resa Pramudita, Surya Ramadhan, Farkhad Ihsan Hariadi, Adang Suwandi Ahmad. Implementation Ring Oscillator Physical Unclonable Function (PUF) in FPGA. International Symposium on Electronics and Smart Devices (ISESD), 2018. 4. S.S. Kumar, J. Guajardo, R. Maes, G. Schrijen, P. Tuyls. The butterfly PUF protecting IP on every FPGA. Proc. HOST, pp. 67-70, 2008. 5. Strona laboratorium ISP: http://www.ue.eti.pg.gda.pl/isp 6. Dokumentacja układów FPGA: www.xilinx.com
Proponowana liczba osób	1
Informacje dodatkowe	
Komentarz	
Studia	Elektronika i telekomunikacja stacjonarne I stopnia - inżynierskie

Temat	Kontroler do zasilacza impulsowego
Temat w języku angielskim	Controller for switching-mode power supply
Opiekun pracy	dr hab. inż. Grzegorz Blakiewicz
Konsultant pracy	
Cel pracy	Należy zaprojektować kontroler w technologii CMOS do zasilacza impulsowego, o parametrach: napięcie wejściowe od 2 V do 3.3 V, napięcie wyjściowe 1.8 V.
Zadania	<ol style="list-style-type: none"> 1. Zapoznanie się z budową, parametrami elektrycznymi oraz metodami projektowania przetwornic impulsowych. 2. Opracowanie schematu elektrycznego kontrolera składającego się z modulatora szerokości impulsów (PWM) oraz wzmacniacza błędu. 3. Opracowanie topografii masek kontrolera w technologii CMOS 180 nm lub 350 nm. 4. Wykonanie symulacji weryfikujących poprawność działania zaprojektowanego kontrolera. 5. Przygotowanie dokumentacji technicznej wykonanego projektu.
Literatura	<ol style="list-style-type: none"> 1. Ö. Ferenczi, „Zasilanie układów elektronicznych – Zasilacze impulsowe”, WNT Warszawa 1989 2. U. Tietze, Ch. Schenk „Układy półprzewodnikowe”, WNT 2009 3. M. K. Kazimierczuk, „Pulse-width Modulated DC-DC Power Converters”, Wiley 2008 4. W. Janke: „Impulsowe przetwornice napięcia stałego”, Wydawnictwo Uczelniane Politechniki Koszalińskiej, Koszalin 2014.
Proponowana liczba osób	1
Informacje dodatkowe	
Komentarz	
Studia	Elektronika i telekomunikacja stacjonarne I stopnia - inżynierskie

Temat	8-bitowy przetwornik cyfrowo analogowy w technologii CMOS
Temat w języku angielskim	8-bit digital to analog converter in CMOS technology
Opiekun pracy	dr hab. inż. Grzegorz Blakiewicz
Konsultant pracy	
Cel pracy	Należy zaprojektować 8-bitowy przetwornik cyfrowo analogowy w technologii CMOS o parametrach: szybkość konwersji co najmniej 1 MS, napięcie zasilania od 1.8 V do 3.3V. Projekt powinien zawierać schemat oraz topografię masek układu scalonego w technologii 180 nm lub 350 nm.
Zadania	<ol style="list-style-type: none"> 1. Zapoznanie się z budową i działaniem przetworników DAC w technologii CMOS; 2. Opracowanie schematu przetwornika i wykonanie serii symulacji weryfikujących działanie układu; 3. Opracowanie topografii masek układu scalonego w technologii CMOS i wykonanie symulacji po ekstrakcji parametrów układu; 4. Przygotowanie dokumentacji technicznej.
Literatura	<ol style="list-style-type: none"> 1. R. Plassche, "Scalone przetworniki analogowo-cyfrowe i cyfrowo-analogowe", WKŁ 2001. 2. P. E. Allen, "CMOS Analog Circuit Design", 2nd ed., Oxford University Press, 2002.
Proponowana liczba osób	1
Informacje dodatkowe	
Komentarz	
Studia	Elektronika i telekomunikacja stacjonarne I stopnia - inżynierskie

Temat	Niskoenergetyczny komparator analogowy dla przetworników analogowo-cyfrowych w sensorach obrazu CMOS
Temat w języku angielskim	A low-energy analogue comparator for analogue-to-digital converters in CMOS image sensors
Opiekun pracy	dr hab. inż. Waldemar Jendernalik
Konsultant pracy	
Cel pracy	Celem pracy jest zaprojektowanie komparatora analogowego dla przetworników analogowo-cyfrowych (A/C) w sensorach obrazu CMOS. Komparator powinien charakteryzować się: (i) znacznie niższym poborem energii na konwersję A/C w porównaniu do klasycznych rozwiązań, (ii) rozdzielczością wystarczającą do pracy w 9 bitowym przetworniku A/C. Projekt ma być wykonany w oprogramowaniu Cadence Virtuoso zgodnie z technologią CMOS 0,18 μm od jednej z następujących firm: TSMC (Taiwan Semiconductor Manufacturing Company), X-FAB (X-FAB Silicon Foundries SE) lub ams AG (austriamicrosystems AG).
Zadania	<ol style="list-style-type: none"> 1. Zapoznanie się z przetwornikami A/C typu slope. 2. Rozpoznanie zagadnienia poboru energii przetworników A/C. 3. Zapoznanie się z komparatorami analogowymi dla przetworników A/C typu single-slope. 4. Projekt elektryczny komparatora i wykonanie symulacji. 5. Projekt topografii i weryfikacja post-layout.
Literatura	<ol style="list-style-type: none"> 1. P.E. Allen, D.R. Holberg, CMOS Analog Circuits Design. Chapter 8: Comparators. Chapter 10: Digital-Analog and Analog-Digital Converters (Oxford University Press, USA 2002). 2. Rudy van de Plassche, Scalane Przetworniki Analogowo-Cyfrowe i Cyfrowo-Analogowe (Wydawnictwa Komunikacji i Łączności, Warszawa 2001). 3. Publikacje z bazy IEEE (np. W. Jendernalik "An Ultra-Low-Energy Analog Comparator for A/D Converters in CMOS Image Sensors" DOI: 10.1007/s00034-017-0630-6, W. Jendernalik "On analog comparators for CMOS digital pixel applications. A comparative study" DOI: 10.1515/bpasts-2016-0030, S. Sukegawa et al., "A 1/4-inch 8Mpixel back-illuminated stacked CMOS image sensor" DOI: 10.1109/ISSCC.2013.6487825). 4. Dokumentacja technologii X FAB, TSMC oraz ams AG (austriamicrosystems) - materiały dostępne w Katedrze Systemów mikroelektronicznych. 5. B. Pankiewicz, W. Jendernalik, Projektowanie full-custom układów scalonych CMOS w środowisku Cadence Virtuoso (skrypt Politechniki Gdańskiej, 2016).
Proponowana liczba osób	1
Informacje dodatkowe	
Komentarz	
Studia	Elektronika i telekomunikacja stacjonarne I stopnia - inżynierskie

Temat	Pikselowy przetwornik analogowo-cyfrowy
--------------	---

Temat w języku angielskim	In-pixel analogue-to-digital converter
Opiekun pracy	dr hab. inż. Waldemar Jendernalik
Konsultant pracy	
Cel pracy	Celem pracy jest zaprojektowanie przetwornika analogowo-cyfrowego (A/C) o niskiej energii na konwersję (< 100 pJ/conv) i o małej powierzchni topografii ($< 1000 \mu\text{m}^2$) przeznaczonego do sensorów obrazu CMOS. Przetwornik ma mieć rozdzielczość przynajmniej 8 bitów i ma być zasilany napięciem do 1,8 V. Projekt ma być wykonany w oprogramowaniu Cadence Virtuoso zgodnie z technologią CMOS 0,18 μm od jednej z następujących firm: TSMC (Taiwan Semiconductor Manufacturing Company), X-FAB (X-FAB Silicon Foundries SE) lub ams AG (austriamicrosystems AG).
Zadania	<ol style="list-style-type: none"> 1. Zapoznanie się z przetwornikami A/C typu slope oraz z przetwornikami z sukcesywną aproksymacją. 2. Rozpoznanie zagadnienia poboru energii przetworników A/C. 3. Zapoznanie się z komparatorami analogowymi stosowanymi w przetwornikach A/C. 4. Projekt schematu elektrycznego przetwornika i wykonanie symulacji. 5. Projekt topografii i weryfikacja typu post-layout.
Literatura	<ol style="list-style-type: none"> 1. Publikacje z bazy IEEE (np. A. Kitchen, A. Bermak, A. Bouzerdoum "A digital pixel sensor array with programmable dynamic range" DOI:10.1109/TED.2005.859698, W. Jendernalik "An Ultra-Low-Energy Analog Comparator for A/D Converters in CMOS Image Sensors" DOI: 10.1007/s00034-017-0630-6, M. Kłosowski i inni "A CMOS pixel with embedded ADC digital CDS and gain correction capability for massively parallel imaging array" DOI: 10.1109/TCSI.2016.2610524). 2. P.E. Allen, D.R. Holberg, CMOS Analog Circuits Design. Chapter 8: Comparators. Chapter 10: Digital-Analog and Analog-Digital Converters (Oxford University Press, USA 2002). 3. B. Pankiewicz, W. Jendernalik, Projektowanie full-custom układów scalonych CMOS w środowisku Cadence Virtuoso (skrypt Politechniki Gdańskiej, 2016). 4. Dokumentacja technologii X FAB, TSMC oraz ams AG (materiały dostępne w Katedrze Systemów Mikroelektronicznych).
Proponowana liczba osób	1
Informacje dodatkowe	
Komentarz	
Studia	Elektronika i telekomunikacja stacjonarne I stopnia - inżynierskie

Temat	Projekt niskonapięciowego wzmacniacza operacyjnego typu rail-to-rail w technologii CMOS
Temat w języku angielskim	Design of low-voltage rail-to-rail operational amplifier in CMOS technology
Opiekun pracy	dr hab. inż. Jacek Jakusz
Konsultant pracy	
Cel pracy	Celem pracy jest zaprojektowanie schematu elektrycznego i topografii scalonego wzmacniacza operacyjnego w technologii CMOS 180 nm, o budowie umożliwiającej pracę z napięciami sygnałów, które mogą się zmieniać niemal w pełnym zakresie napięć zasilających.
Zadania	<ol style="list-style-type: none"> 1. Literaturowy przegląd istniejących rozwiązań. 2. Zaprojektowanie schematu elektrycznego wzmacniacza. 3. Przeprowadzenie symulacji komputerowych i optymalizacja parametrów wzmacniacza. 4. Zaprojektowanie topografii wzmacniacza. 5. Przeprowadzenie szczegółowych symulacji po ekstrakcji elementów pasożytniczych. 6. Opracowanie uzyskanych wyników.
Literatura	<ol style="list-style-type: none"> 1. Phillip E. Allen, Douglas R. Holberg, „CMOS Analog Circuit Design”, Second Edition, Oxford University Press 2002. 2. D. Johns, K. Martin, “Analog Integrated Circuit Design”, Second Edition, John Wiley & Sons, Inc.2011. 3. B. Razavi, "Design of Analog CMOS Integrated Circuits", Second Edition, MC-Graw Hill, Inc. 2017.
Proponowana liczba osób	1
Informacje dodatkowe	
Komentarz	
Studia	Elektronika i telekomunikacja stacjonarne I stopnia - inżynierskie

Temat	Robot do układania kostki Rubika 3 x 3
Temat w języku angielskim	Robot for solving 3 x 3 Rubik's cube
Opiekun pracy	dr hab. inż. Adrian Bekasiewicz
Konsultant pracy	dr hab. inż. Adrian Bekasiewicz
Cel pracy	Celem pracy jest zbudowanie oraz oprogramowanie robota do rozwiązywania kostki Rubika. Zakłada się, że na potrzeby projektu zostanie opracowany osprzęt umożliwiający manipulowanie ścianami kostki Rubika bez konieczności ingerencji użytkownika. Urządzenie powinno zostać wyposażone w wizyjny system detekcji kolorów, który będzie monitorował „stan” kostki w czasie rzeczywistym bądź pozwoli na odczytanie stanu początkowego, a także mechanizmy do automatycznej zmiany położenia puzzli. Oprogramowanie urządzenia będzie implementowało jeden z popularnych algorytmów do rozwiązywania układanki. Ponadto oprogramowanie powinno mieć wbudowaną funkcjonalność „mieszania” układanki. Sterowanie urządzeniem (monitorowanie stanu kostki, kroki algorytmu, mieszanie układanki) powinno odbywać się z poziomu komputera PC. Urządzenie powinno być także wyposażone w „stoper” pozwalający na określenie czasu trwania układania. Opracowane rozwiązanie zostanie zbudowane i przetestowane, a także porównane z innymi konstrukcjami tego rodzaju pod kątem budowy i czasu rozwiązywania układanki.
Zadania	<ol style="list-style-type: none"> 1. Przegląd literatury; 2. Analiza algorytmów heurystycznych umożliwiających rozwiązanie kostki Rubika oraz określenie wpływu wyboru algorytmu na konstrukcję robota; 3. Analiza konstrukcji robotów do układania kostki Rubika; 4. Opracowanie architektury robota wraz z systemem identyfikacji kolorów, oraz mechanizmami zmiany stanu kostki; 5. Opracowanie algorytmu sterowania robotem oraz implementacja metody rozwiązywania układanki; 6. Demonstracja działania urządzenia i jego porównanie z rozwiązaniami dostępnymi na rynku.
Literatura	<ol style="list-style-type: none"> 1. F. Agostinelli, S. McAleer, A. Shmakov, <i>et al.</i>, "Solving the Rubik's cube with deep reinforcement learning and search," <i>Nat Mach Intell</i>, 1, 356–363, 2019. 2. D. Cook, <i>Robot Building for Beginners</i>, 2nd ed., Technology in Action, 2009. 3. E.D. Demaine, M.L. Demaine, S. Eisenstat, A. Lubiw, and A. Winslow, Algorithms for Solving Rubik's Cubes, arXiv:1106.5736, 2011. 4. J. Darma, L. Setyawan, and E. Kuantama, "Color recognition robot," <i>Int. Conf. Comm. Software and Networks</i>, pp. 85-89, 2011. 5. I. Akkaya, M. Andrychowicz, M. Chociej, <i>et al.</i>, "Solving Rubik's cube with a robot hand," <i>Open AI</i>, arXiv:1910.07113, 2019.
Proponowana liczba osób	2
Informacje dodatkowe	Praca przeznaczona dla dwóch studentów. Ze względu na charakter i poziom skomplikowania, przeznaczona dla ambitnych. W przypadku chęci realizacji konieczne zgłoszenie się przez grupę (nie planuje się łączenia losowych studentów).
Komentarz	Projekt jest trudny i czasochłonny. Projekt łączy w sobie zarówno dość zaawansowane zagadnienia konstrukcyjne

(mechanika/sterowanie) i programistyczne. Zakłada się, że zbudowanie robota oraz jego oprogramowanie jest zajęciem dla dwóch studentów przy czym jedna osoba powinna skupić się na zagadnieniach konstrukcyjnych natomiast druga na części programistycznej. Zastosowanie 6-cio osiowej kontroli stanu kostki daje największe możliwości z punktu widzenia precyzji/czasu układania, ale też małe marginesy błędów. Konieczna będzie dokładna analiza wybranej konstrukcji robota przed rozpoczęciem budowy.

Studia Elektronika i telekomunikacja stacjonarne I stopnia - inżynierskie

Temat	Stylizowany zegar na lampach cyfrowych z automatyczną synchronizacją daty i godziny
Temat w języku angielskim	Vintage clock based on Nixie tubes with automatic time and date synchronization
Opiekun pracy	dr hab. inż. Adrian Bekasiewicz
Konsultant pracy	dr hab. inż. Adrian Bekasiewicz
Cel pracy	Celem pracy jest zbudowanie stylizowanego zegara wykorzystującego technologię lamp cyfrowych do prezentacji godziny. Zakłada się, że zegar będzie w sposób automatyczny synchronizował czas z Internetu z wykorzystaniem protokołu NTP (ang. <i>network time protocol</i>). W ramach pracy przewiduje się opracowanie sterownika lamp cyfrowych sprzężonego z modułem zegara, który będzie komunikował się z serwerem NTP za pośrednictwem sieci bezprzewodowej (WiFi 2.4 GHz). Ponadto przyjmuje się, że dla urządzenia zostanie napisane oprogramowanie (np. w postaci widżetu web, bądź aplikacji w systemie Android) umożliwiające zmianę strefy czasowej, ustawienia trybu czasu 12/24 godzinnego, wyświetlanie daty (dzień miesiąc), a także konfigurację połączenia z siecią bezprzewodową. Dopuszcza się realizację sterownika zegara z wykorzystaniem mikrokontrolera bądź FPGA. Wyświetlanie daty powinno być także wyzwalane przy użyciu fizycznego przycisku. Przyjmuje się, że opracowane rozwiązania zostaną zintegrowane w postaci funkcjonalnego zegara.
Zadania	<ol style="list-style-type: none"> 1. Przegląd literatury; 2. Analiza konstrukcji i metod projektowania sterowników lamp cyfrowych; 3. Analiza rozwiązań i metod projektowania urządzeń do synchronizacji czasu przez sieć bezprzewodową; 4. Opracowanie architektury zegara ze szczególnym naciskiem na sterownik lamp cyfrowych, jego implementacja oraz opracowanie oprogramowania sterującego; 5. Demonstracja własności urządzenia i jego porównanie z rozwiązaniami dostępnymi na rynku.
Literatura	<ol style="list-style-type: none"> 1. Numerical Indicator BD-302 Nixie, Engineering Data Report, Burroughs Corporation, 1957. 2. M. Margolis, <i>Arduino Cookbook</i>, O'Reilly, 2nd ed. Cambridge, 2011. 3. S. Roberts, <i>DC/DC Book of Knowledge</i>, RECOM Engineering, 2015. 4. D.M. Mills, <i>Computer Network Time Synchronization: The Network Time Protocol</i>, CRC Press, 2006. 5. ESP8266 Overview, Espressif Systems, 2020.
Proponowana liczba osób	1
Informacje dodatkowe	
Komentarz	Praca wymaga samodzielności i znajomości podstawowych technik projektowania układów analogowych/cyfrowych. Sterowanie układem sterowania będzie w większości realizowana za pomocą mikrokontrolera bądź układu FPGA. Do wykonania odpowiedniego oprogramowania przyda się znajomość składni języków z rodziny C/C++, czy Python. Ze względu na wysokie napięcie, praca z lampami wymaga ostrożności.
Studia	Elektronika i telekomunikacja stacjonarne I stopnia - inżynierskie

Temat	Projekt 6-bitowego przetwornika analogowo cyfrowego typu flash w technologii CMOS
--------------	---

Temat w języku angielskim	Design of 6-bit flash analog-to-digital converter in CMOS technology
Opiekun pracy	dr hab. inż. Jacek Jakusz
Konsultant pracy	
Cel pracy	Celem pracy jest zaprojektowanie w oparciu o literaturę schematu elektrycznego i topografii kompletnego scalonego przetwornika analogowo-cyfrowego typu flash w technologii CMOS. Przetwornik ma być zasilany napięciem 1.8V i posiadać szybkość przetwarzania nie mniejszą niż 200 ksps. Typowy przetwornik A/C równoległy typu flash zbudowany jest z układu próbkującego pamiętającego, komparatorów, źródła napięcia referencyjnego, dzielnika napięcia referencyjnego oraz cyfrowego konwertera kodu termometrycznego na kod binarny. Do projektu można wykorzystać narzędzia PSpice/LTSpice i Cadence
Zadania	<ol style="list-style-type: none"> 1. Opracowanie schematu elektrycznego przetwornika A/C. 2. Przeprowadzenie symulacji komputerowych i optymalizacja parametrów przetwornika A/C. 3. Zaprojektowanie topografii przetwornika A/C. 4. Przeprowadzenie szczegółowych symulacji układu po ekstrakcji elementów pasożytniczych z topografii. 5. Opracowanie uzyskanych wyników.
Literatura	<ol style="list-style-type: none"> 1. Phillip E. Allen, Douglas R. Holberg, „CMOS Analog Circuit Design”, Second Edition, Oxford University Press 2002 2. D. Johns, K. Martin, “Analog Integrated Circuit Design”, Second Edition, John Wiley & Sons, Inc.2011 3. B. Razavi, "Design of Analog CMOS Integrated Circuits", Second Edition, MC-Graw Hill, Inc. 2017
Proponowana liczba osób	1
Informacje dodatkowe	
Komentarz	
Studia	Elektronika i telekomunikacja stacjonarne I stopnia - inżynierskie

Temat	Detekcja i śledzenie obiektów z wykorzystaniem Arduino
Temat w języku angielskim	Object detection and tracking using Arduino
Opiekun pracy	dr inż. Piotr Kurgan
Konsultant pracy	dr inż. Piotr Kurgan
Cel pracy	Celem pracy jest zbudowanie układu do detekcji i śledzenia obiektów z wykorzystaniem Arduino. Urządzenie powinno być wyposażone w stosowny czujnik, serwomechanizm, wyświetlacz i jednostkę sterującą. Urządzenie w trybie domyślnym powinno przeszukiwać sektor przestrzeni w dostępnym zakresie kątowym, a po wykryciu obiektu przejść do jego śledzenia w oparciu o własny lub wybrany algorytm śledzenia trajektorii. Urządzenie powinno informować o położeniu obiektu. Do zakresu pracy należeć będzie przegląd i porównanie technik detekcji i dostępnych na rynku podzespołów, wybór konstrukcji, budowa i oprogramowanie urządzenia, a ostatecznie jego wszechstronne przetestowanie dla różnych scenariuszy typu i ruchu obiektu (np. obiekty stacjonarne, obiekty niestacjonarne poruszające się ruchem jednostajnym itp.).
Zadania	<ol style="list-style-type: none"> 1. Przegląd literatury w zakresie detekcji obiektów (z naciskiem na tanie rozwiązania sprzętowe) oraz algorytmicznego śledzenia trajektorii ruchu. 2. Przegląd i porównanie ofert rynkowych na tanie podzespoły układów detekcji i śledzenia obiektów. 3. Opracowanie lub wybór konstrukcji urządzenia. 4. Implementacja układu z uwzględnieniem opracowanego lub wybranego algorytmu śledzenia trajektorii. 5. Badania eksperymentalne.
Literatura	<ol style="list-style-type: none"> 1. M. Banzi, <i>Getting Started with Arduino, Make</i>, 2008 2. M. Margolis, <i>Arduino Cookbook</i>, O'Reilly Media, 2011 3. Harry L. Van Trees, <i>Radar-Sonar Signal Processing and Gaussian Signals in Noise</i>, Wiley-Interscience, 2001
Proponowana liczba osób	1
Informacje dodatkowe	
Komentarz	
Studia	Elektronika i telekomunikacja stacjonarne I stopnia - inżynierskie

Temat	Robot przeszukujący labirynt na bazie Arduino
Temat w języku angielskim	Arduino-based maze searching robot
Opiekun pracy	dr inż. Piotr Kurgan
Konsultant pracy	dr inż. Piotr Kurgan
Cel pracy	Celem pracy jest zbudowanie opartego na Arduino taniego robota przeszukującego labirynt. Urządzenie powinno być wyposażone napęd, stosowne czujniki oraz jednostkę sterującą. Urządzenie powinno przeszukiwać labirynt w oparciu o wybrany algorytm tego typu. Do zakresu pracy należy będzie przegląd i porównanie wymaganych w projekcie technik oraz algorytmów przeszukiwania labiryntu, wybór konstrukcji, budowa i oprogramowanie urządzenia, a ostatecznie jego wszechstronne przetestowanie.
Zadania	<ol style="list-style-type: none"> 1. Przegląd literatury w zakresie algorytmów przeszukiwania labiryntu. 2. Przegląd dostępnych konstrukcji robotów przeszukujących labirynt. 3. Przegląd i porównanie ofert rynkowych na tanie podzespoły układów przeszukujących labirynt. 4. Opracowanie lub wybór konstrukcji urządzenia. 5. Zbudowanie i oprogramowanie urządzenia. 6. Badania eksperymentalne.
Literatura	<ol style="list-style-type: none"> 1. M. Banzi, <i>Getting Started with Arduino, Make, 2008</i> 2. M. Margolis, <i>Arduino Cookbook, O'Reilly Media, 2011</i> 3. E. Shimon, <i>Graph Algorithms, Cambridge University Press, 2011</i>
Proponowana liczba osób	1
Informacje dodatkowe	
Komentarz	
Studia	Elektronika i telekomunikacja stacjonarne I stopnia - inżynierskie

Temat	Mikroelektroniczny system do pomiaru dwutlenku azotu w powietrzu atmosferycznym
Temat w języku angielskim	Microelectronic system for nitrogen dioxide measurement in atmospheric air
Opiekun pracy	dr hab. inż. Marek Wójcikowski
Konsultant pracy	
Cel pracy	Celem pracy jest opracowanie sprzętowo-programowego systemu mikroelektronicznego wraz z interfejsami oraz czujnikami przeznaczonego do pomiaru stężenia NO ₂ w powietrzu atmosferycznym z wykorzystaniem platformy FPGA oraz gotowych czujników NO ₂ , wilgotności, ciśnienia i temperatury.
Zadania	<ol style="list-style-type: none"> 1) Zapoznanie się z systemem Vivado firmy Xilinx i uruchomienie bazowego systemu mikroelektronicznego. 2) Zapoznanie się ze sposobem podłączania urządzeń do magistrali on-chip. 3) Zapoznanie się z dostępnymi na rynku wybranymi czujnikami NO₂, temperatury, wilgotności, ciśnienia, itp. 4) Projekt, realizacja i uruchomienie modułów sprzętowych realizujących interfejsy wybranych sensorów. 5) Projekt, realizacja i uruchomienie przykładowego systemu mikroelektronicznego do wykrywania gazu.
Literatura	<ol style="list-style-type: none"> 1. Dokumentacja systemu Vivado www.xilinx.com. 2. Dokumentacja platformy Nexys/Zybo www.digilent.com. 3. T. Noergaard, "Embedded Systems Architecture 2nd Edition, A Comprehensive Guide for Engineers and Programmers", Newnes 2013.
Proponowana liczba osób	1
Informacje dodatkowe	
Komentarz	
Studia	Elektronika i telekomunikacja stacjonarne I stopnia - inżynierskie

Temat	Implementacja czujnika sieci sensorowej inteligentnego domu
Temat w języku angielskim	Implementation of the sensor for smart home sensor network
Opiekun pracy	dr hab. inż. Marek Wójcikowski
Konsultant pracy	
Cel pracy	Celem pracy jest zaprojektowanie i uruchomienie czujnika sieci sensorowej inteligentnego domu na prototypowej płytce z układem programowalnym lub mikrokontrolerem. Czujnik powinien umożliwiać przesyłanie wybranych danych pomiarowych do serwera za pomocą wybranego protokołu (np. MQTT).
Zadania	<ol style="list-style-type: none"> 1. Zapoznanie się ze standardami i rozwiązaniami stosowanymi w automatycznym sterowaniu w budynkach (np. OpenHAB, Domoticz, Home Assistant, MQTT, Mosquito). 2. Zapoznanie się z możliwościami prototypowych płytek z układami programowalnymi i mikrokontrolerami. 3. Projekt i realizacja części sprzętowej czujnika. 4. Programowanie i konfiguracja czujnika. 5. Uruchomienie środowiska testowego (serwer/kontroler sieci). 6. Realizacja przykładowego scenariusza działania czujników.
Literatura	<ol style="list-style-type: none"> 1. Marco Schwartz, "Arduino : automatyka domowa dla każdego", Wydawnictwo Helion, 2015. 2. Neha Malik, Yogita Bodwade, "Literature Review on Home Automation System", International Journal of Advanced Research in Computer and Communication Engineering, Vol. 6, Issue 3, March 2017. 3. Vaishali Wagh, Manisha Wasnik, "Different Technologies Used in Home Automation - A Review and Comparison", International Journal of Engineering Research & Technology (IJERT), Vol. 3 Issue 2, February 2014.
Proponowana liczba osób	1
Informacje dodatkowe	
Komentarz	
Studia	Elektronika i telekomunikacja stacjonarne I stopnia - inżynierskie

Temat	System do bezprzewodowej kontroli wykonania zadań obsługiwany z poziomu telefonu komórkowego
Temat w języku angielskim	Wireless performance audit operated from a mobile phone
Opiekun pracy	dr inż. Łukasz Gołuński
Konsultant pracy	
Cel pracy	Celem jest opracowanie i wykonanie systemu do kontroli wykonywanych zadań opartego o bezprzewodowe techniki (m. in. RFID). System ma być obsługiwany w systemie operacyjnym android. System ma za zadanie automatycznie informować użytkownika o wykonaniu zadań w momencie odczytania informacji z nadajnika.
Zadania	<ol style="list-style-type: none"> 1. Wybór bezprzewodowych technik do planowanych rozwiązań. 2. Zaprojektowanie umiejscowienia nadajników. 3. Napisanie oprogramowania służącego do kontroli odbiornika. 4. Weryfikacja i testowanie zrealizowanego systemu.
Literatura	<ol style="list-style-type: none"> 1. F. Zhao, L. J. Guibas, i L. Guibas, Wireless Sensor Networks: An Information Processing Approach. Morgan Kaufmann, 2004. 2. „RFID Handbook: Fundamentals and Applications in Contactless Smart Cards, Radio Frequency Identification and Near-Field Communication, 3rd Edition Wiley”; John Wiley and Sons 2010
Proponowana liczba osób	1
Informacje dodatkowe	
Komentarz	
Studia	Elektronika i telekomunikacja stacjonarne I stopnia - inżynierskie

Temat	Wytwarzanie wielowarstwowych struktur z folii diamentowych o różnych domieszkach do zastosowań elektronicznych
Temat w języku angielskim	Preparation of multi-layer film of diamond having different dopant for electronic applications
Opiekun pracy	dr inż. Łukasz Gołuński
Konsultant pracy	
Cel pracy	Celem jest opracowanie metody wytwarzania wielowarstwowych struktur z folii diamentowej i analiza ich właściwości elektrycznych.
Zadania	<ol style="list-style-type: none"> 1. Opracowanie parametrów wzrostu folii diamentowych w procesie CVD. 2. Opracowanie technologii wytwarzania wielowarstwowych struktur z folii diamentowych. 3. Badanie i analiza właściwości wytworzonych struktur.
Literatura	<ol style="list-style-type: none"> 1. Fabrication and properties of ultranano, nano, and microcrystalline diamond membranes and sheets; D. K. Reinhard, T. A. Grotjohn, M. Becker, M. K. Yaran, T. Schuelke, i J. Asmussen; Journal of Vacuum Science & Technology B; vol 22 November 2004; str. 2811-2817. https://avs.scitation.org/doi/abs/10.1116/1.1819928 2. Chemical Vapor Deposition; Jong-Hee Park, T. S. Sudarshan; ASM International 2001.
Proponowana liczba osób	1
Informacje dodatkowe	
Komentarz	
Studia	Elektronika i telekomunikacja stacjonarne I stopnia - inżynierskie

Temat	Termostat chłodząco-grzejący z modułem Peltiera i mikroprocesorowym sterowaniem
Temat w języku angielskim	Thermostat with the Peltier thermopile and microprocessor's control.
Opiekun pracy	dr inż. Maciej Kokot
Konsultant pracy	
Cel pracy	Wykonanie termostatu chłodząco-grzejącego z modułem Peltiera i sterowaniem PID ukazującego zastosowanie i właściwości modułów Peltiera.
Zadania	<ol style="list-style-type: none"> 1. Projekt i wykonanie części mechanicznej z modułem Peltiera. 2. Projekt i wykonanie części analogowej zasilającej moduł Peltiera i kondycjonującej sygnały z przetworników temperatury na napięcie. 3. Projekt, wykonanie i oprogramowanie części cyfrowej z mikrokontrolerem sterującym oraz implementacja algorytmu PID i ewentualnie autostrojania.
Literatura	<p>Brzózka, <i>Regulatory i układy automatyki</i>, Warszawa: Wydawnictwo Mikom, 2004</p> <p>Pniewski R., Kowalik R., Sadowski E. Ogniwo Peltiera w zastosowaniach praktycznych. - <i>Autobusy : technika, eksploatacja, systemy transportowe</i>, Tom R. 18, nr 12 [2017]</p> <p>Różnorodne materiały dotyczące:</p> <ul style="list-style-type: none"> - parametrów technicznych i zastosowań modułów Peltiera, - regulatorów PID i ich strojenia, - precyzyjnego pomiaru temperatury. <p>Do znalezienia i opracowania przez dyplomanta</p>
Proponowana liczba osób	1
Informacje dodatkowe	
Komentarz	
Studia	Elektronika i telekomunikacja stacjonarne I stopnia - inżynierskie